Prof. dr hab. inż. Dariusz Kania
Politechnika Śląska
Wydział Automatyki, Elektroniki i Informatyki
Katedra Systemów Cyfrowych, ul. Akademicka 16
44-100 Gliwice

Gliwice, 22.06.2026

Recenzja w przewodzie habilitacyjnym dr. inż. Grzegorza Bazydło

Recenzja została przygotowana na prośbę Przewodniczącego Rady Dyscypliny Naukowej Informatyka Techniczna i Telekomunikacja Uniwersytetu Zielonogórskiego prof. dr. hab. inż. Krzysztofa Patana (Uchwała nr 8/4/2026 z dnia 9.04.2026r), skierowanej do mnie w piśmie z dnia 6.05.2026 (ISiSI. 541.01.04.2026.AK).

1. Ocena osiągnięcia naukowego

We wniosku o przeprowadzenie postępowania habilitacyjnego, dr inż. Grzegorz Bazydło jako osiągnięcie naukowe, zatytułowane „Modelowanie części sterującej rekonfigurowalnych systemów cyber-fizycznych z wykorzystaniem języka UML oraz sieci Petriego" wskazał cykl 8 publikacji. Cykl ten zawiera następujące artykuły:

[A1] R. Wiśniewski, **G. Bazydło**, L. Gomes, A. Costa, Dynamic Partial Reconfiguration of Concurrent Control Systems Implemented in FPGA Devices, 2017, IEEE Transactions on Industrial Informatics, Vol. 13, Iss. 4, pp. 1734–1741, wkład wnioskodawcy: 40%.

[A2] **G. Bazydło**, S. Wermiński, Demand Side Management through Home Area Network systems, 2018, International Journal of Electrical Power and Energy Systems, Vol. 97, pp. 174–185, wkład wnioskodawcy: 60%.

[A3] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, M. Wojnakowski, Petri net-based specification of cyber-physical systems oriented to control direct matrix converters with space vector modulation, 2019, IEEE Access, Vol. 7, pp. 23407–23420, wkład wnioskodawcy: 25%.

[A4] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, Low-Cost FPGA Hardware Implementation of Matrix Converter Switch Control, 2019, IEEE Transactions on Circuits and Systems – II: Express Briefs, Vol. 66, Iss. 7, pp. 1177–1181, wkład wnioskodawcy: 30%.

[A5] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, SVM Algorithm Oriented for Implementation in a Low-Cost Xilinx FPGA, 2019, Integration – the VLSI Journal, Vol. 64, pp. 163–172, wkład wnioskodawcy: 40%.

[A6] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, I. Grobelna, M. Wojnakowski, Design and Verification of Cyber-Physical Systems Specified by Petri Nets – A Case Study of a Direct Matrix Converter, 2019, Mathematics, Vol. 7, pp. 1–24, wkład wnioskodawcy: 30%.

[A7] M. Wojnakowski, R. Wiśniewski, **G. Bazydło**, M. Popławski, Analysis of Safeness in a Petri Net-Based Specification of the Control Part of Cyber-Physical Systems, 2021, International Journal of Applied Mathematics and Computer Science, Vol. 31, No. 4, pp. 647–657, wkład wnioskodawcy: 25%.

[A8] **G. Bazydło**, Designing Reconfigurable Cyber-Physical Systems Using Unified Modeling Language, 2023, Energies, Vol. 16, Iss. 3, Art. 1275, pp. 1–21, wkład wnioskodawcy: 100%.

1.1 Tematyka osiągnięcia naukowego

Działalność naukowo-badawcza dr. inż. Grzegorza Bazydło dotyczy zagadnień modelowania części sterującej systemów cyber-fizycznych. W procesie modelowania wykorzystuje język UML oraz sieci Petriego. Warto podkreślić, że opracowane metody modelowania, jak i weryfikacji ukierunkowane są na systemy sterowania realizowane w postaci układów rekonfigurowalnych, implementowanych w układach FPGA. Podejmowana tematyka jest aktualna, interesująca zarówno z punktu widzenia naukowego, jak i inżynierskiego. Ma bardzo istotny wymiar praktyczny, umożliwiający oryginalne wykorzystanie struktur programowalnych do realizacji różnorodnych systemów sterowania.

1.2 Zawartość i wyniki osiągnięcia naukowego

Dorobek naukowy dr. inż. Grzegorza Bazydło koncentruje się wokół trzech wzajemnie przenikających się i komplementarnych obszarów badawczych.

- *Modelowanie części sterującej rekonfigurowalnych systemów CPS z wykorzystaniem języka UML*

W artykule [A1] zaproponowano nowatorską technikę prototypowania systemów sterowania realizowanych w układach FPGA. Istota pracy sprowadza się do zaproponowania sposobu projektowania współbieżnego układu sterującego opisanego w języku UML w postaci maszyn stanu. Tego typu podejście stanowi ciekawą i efektywną formę opisu współbieżnych systemów sterowania, ukierunkowaną na ich realizację w postaci dynamicznie rekonfigurowalnego układu. Najważniejszym i najbardziej nowatorskim elementem proponowanego rozwiązania jest połączenie języka UML ze sprzętową realizacją sterownika w układzie FPGA. Autorzy pokazali, że diagramy UML State Machine mogą być używane nie tylko do dokumentacji lub modelowania wysokopoziomowego, ale również do formalnego opisu sterownika implementowanego w sprzęcie. Analizując proponowane rozwiązanie doceniam przede wszystkim opracowanie kompleksowej metody projektowania, w której UML jest automatycznie przekształcany do postaci współbieżnych automatów FSM, a następnie do języka opisu sprzętu (Verilog), który umożliwia implementację układów w strukturze FPGA. Dzięki temu projektant nie musi ręcznie tworzyć całego opisu niskopoziomowego, co znacząco upraszcza proces projektowania sterownika i zmniejsza ryzyko wystąpienia błędów. Drugim kluczowym elementem innowacyjnym jest wykorzystanie dynamicznej rekonfiguracji części sterownika podczas jego pracy.

Podobne metody modelowania systemów sterowania za pomocą języka UML zostały przedstawione w artykule [A2]. Wykorzystano je do opisu metody redukcji obciążeń szczytowych systemu elektroenergetycznego. Zrealizowany sterownik opisano z użyciem języka UML, co umożliwiło automatyczną konwersję do języka opisu sprzętu (Verilog), zapewniającą wykonanie syntezy i implementację algorytmu sterowania w strukturze FPGA. Nowatorstwo sposobu realizacji sterownika polega przede wszystkim na zastosowaniu zaawansowanej technologicznie architektury układów FPGA, umożliwiającej dynamiczną częściową rekonfigurację systemu. Dzięki temu możliwa staje się elastyczna zmiana algorytmu sterowania dla wybranego użytkownika, co znacząco zwiększa funkcjonalność i skalowalność zaproponowanego rozwiązania. Tak jak w poprzedniej pracy, nowatorskim elementem jest opis algorytmów sterowania w języku UML i jego automatyczna konwersja do języka Verilog, zapewniająca implementację sterownika w strukturze FPGA.

Przykład rozwiązania, w którym wykorzystano język UML do realizacji układu sterowania przedstawiono również w artykule [A5]. Zaprezentowano tam opracowanie kompleksowej, sprzętowej implementacji złożonego algorytmu sterowania SVM w układach FPGA, z użyciem współbieżnych modułów sprzętowych opisanych w języku Verilog. Na uwagę zasługuje równoległy charakter wykonywania obliczeń, co umożliwiło osiągnięcie wysokich częstotliwości przełączania układu z użyciem stosunkowo tanich układów FPGA. Tak jak w poprzednich pracach nowatorstwo dotyczy również samej metody projektowania. Świadomie zrezygnowano z typowych narzędzi wysokopoziomowych, takich jak Matlab/Simulink, czy też innych mało efektywnych, automatycznych narzędzi „generujących" nieefektywny opis w języku HDL, proponując opis sterownika w „czystym" Verilogu. Niewątpliwie zaproponowane podejście pozwala na uzyskanie większej kontroli nad architekturą sprzętową uzyskiwanego rozwiązania oraz optymalizację wykorzystania zasobów układu FPGA. W świetle wskazanego osiągnięcia ważnym aspektem jest wykorzystanie diagramu aktywności UML do opisu zastosowanego algorytmu oraz jego sprzętowa implementacja w postaci zbioru współpracujących automatów FSM. Uważam, że zaproponowana w artykule [A5] koncepcja realizacji sterownika jest prostsza w stosunku do koncepcji przedstawionych w pracach [A1] i [A2], ale mimo swej prostoty, zapewnia możliwość współbieżnej realizacji algorytmów sterowania oraz efektywną implementację sprzętową opracowanego algorytmu sterowania.

Zaprezentowana w autorskim artykule [A8] metoda realizacji sterownika stanowi rozwinięcie i uogólnienie metod pokazanych w pracach [A1], [A2] i [A5]. W [A1] główny nacisk położono na dynamiczną częściową rekonfigurację sterownika implementowanego w

FPGA oraz pokazanie, że UML może służyć do specyfikacji rekonfigurowalnego sterownika. W kolejnych pracach koncepcje te zostały rozwinięte ([A2]) i potwierdzone na przykładzie realizacji sytemu sterowania w prostym układzie FPGA ([A5]). W najwartościowszej w mojej opinii pracy [A8], opracowana idea została znacząco rozszerzona i uporządkowana, tworząc postać kompletnej metodologii projektowania rekonfigurowalnych systemów CPS. Największą wartością rozwiązania jest formalizacja całego procesu projektowego. W pracy [A1] pokazano ogólną koncepcję ścieżki projektowej, którą można zobrazować symbolicznie jako UML → FSM → Verilog → FPGA. W pracy [A8] proces ten został opisany jako kompletna metodyka projektowania rekonfigurowalnych sterowników CPS oparta o MDD (Model-Driven Development) i MDA (Model-Driven Architecture), obejmująca wszystkie etapy syntezy: od modelu UML, przez transformację do CFSM (Concurrent Finite State Machine), aż do automatycznej generacji opisu w języku opisu sprzętu (Verilog) i implementacji w strukturze FPGA. Kluczową przewagą rozwiązania przedstawionego w pracy [A8] jest wprowadzenie modelu CFSM jako centralnego elementu transformacji modeli. W pracy [A1] CFSM pojawia się bardziej jako element implementacyjny, natomiast w artykule [A8] pokazano, że CFSM może stanowić formalny model pośredni umożliwiający: dekompozycję złożonych diagramów UML, obsługę współbieżności, modularną strukturę sterownika i implementację stanów idle potrzebnych do bezpiecznej rekonfiguracji dynamicznej. Tym samym rozwiązanie przedstawione w artykule [A8] można uznać za skalowalne i lepiej nadające się do realizacji złożonych sterowników. Cenne jest również opracowanie narzędzia U2V umożliwiającego konwersję opisu w UML do formy syntezowalnej przedstawionej w postaci języka opisu sprzętu Verilog.

Podsumowując osiągnięcia w obszarze „Modelowania części sterującej systemów CPS z wykorzystaniem języka UML" można stwierdzić, że: artykuł [A1] pokazuje pionierską ideę realizacji sterownika z dynamiczną rekonfiguracją układu FPGA, [A2] rozwija aspekty implementacyjne i rekonfiguracyjne, [A5] pokazuje stosunkowo prostą realizację przykładowego współbieżnego sterownika w tanim układzie FPGA, a [A8] jest podsumowaniem poprzednich prac, pokazując najbardziej dojrzałą postać opracowanej metody projektowania, która stanowi rozwinięcie wcześniejszych rozwiązań w kompletną, formalną i uniwersalną metodę projektowania rekonfigurowalnych sterowników CPS. W efekcie przedstawione publikacje dokumentują przejście od początkowych rozwiązań opartych na modelowaniu w języku UML do spójnej ścieżki projektowania rekonfigurowalnych systemów cyber-fizycznych, obejmującej formalizację modeli, ich transformację oraz przygotowanie do implementacji sprzętowej.

- *Modelowanie i weryfikacja części sterującej systemów CPS z wykorzystaniem sieci Petriego*

W artykule [A3] zaproponowano oryginalną metodę realizacji systemu sterowania przekształtnikiem macierzowym z modulacją SVM. Istotnym elementem przedstawionego rozwiązania jest formalny opis algorytmu sterowania za pomocą sieci Petriego. Warto podkreślić, że specyfika sieci Petriego zapewnia łatwość modelowania równoległości zadań. W opracowanym rozwiązaniu wszystkie obliczenia wykonywane są równolegle, co w ostateczności prowadzi do równoczesności realizacji zadań obliczeniowych realizowanych w strukturze FPGA. Warto podkreślić, że klasyczne realizacje wykorzystujące DSP wykonują obliczenia sekwencyjnie, natomiast proponowana metoda syntezy stwarza możliwość współbieżnej, a dodatkowo sprzętowej realizacji obliczeń, co niewątpliwie zwiększa szybkość działania układu sterowania. Wynikiem pracy jest oryginalna metoda realizacji systemu sterowania, której głównym nowatorskim elementem jest metoda formalnego modelowania, weryfikacji i równoległej implementacji algorytmu SVM.

Przykład efektywnej realizacji algorytmu SVM w stosunkowo prostych układach FPGA przedstawiono w artykule [A4]. W przeciwieństwie do istniejących rozwiązań sprzętowych, przedstawione rozwiązanie nie wymaga stosowania wyrafinowanych narzędzi do modelowania i syntezy układu, zapewniając równoległe wykonywanie większości obliczeń. Szczególnie doceniam praktyczną weryfikację rozwiązania polegającą na potwierdzeniu poprawnego działania układu w niedrogim układzie FPGA. Artykuł [A4] zawiera solidny komponent inżynierski, stanowiąc raczej studium przypadku pokazujące praktyczną implementację niż ogólną ideę nowatorskiej ścieżki projektowej.

Zakres tematyczny artykułu [A6] jest znacznie szerszy niż zakres zaprezentowany w artykułach [A3] i [A4]. W artykule [A4] przedstawiono przykład implementacji układu sterowania w strukturze FPGA, w [A3] - ogólny sposób metodologii projektowania oparty na formalnym modelu układu sterującego w postaci sieci Petriego, a w artykule [A6] kompleksową ścieżkę projektowania CPS, zorientowaną nie tylko na projektowanie i implementację sterowników w układach FPGA, ale również ich formalną weryfikację. Artykuł [A6] przedstawia nowatorską metodykę projektowania układów sterowania, opisanych w postaci żywych i bezpiecznych sieci Petriego, integrującą specyfikację, formalną weryfikację, implementację modułów opisanych w językach opisu sprzętu oraz wielopoziomową kontrolę poprawności działania układu FPGA. Istotnym osiągnięciem jest zaproponowanie metody syntezy zorientowanej na weryfikację, obejmującej trójstopniową

kontrolę poprawności (formalną, symulacyjną i sprzętową) oraz częściową automatyzację przejścia od modelu formalnego do implementacji sprzętowej.

Istotnym elementem projektowania systemów sterowania CPS jest analiza formalna. W artykułach [A3], [A4] i [A6] uwagę koncentrowano przede wszystkim na problemach implementacji i weryfikacji funkcjonalnej projektowanych systemów. W artykule [A7] najważniejszym elementem jest analiza formalna, sprowadzająca się przede wszystkim do analizy własności bezpieczeństwa („safeness") sieci Petriego, Najważniejszą nowością jest algorytm sprawdzania bezpieczeństwa oparty na algebrze liniowej oraz metodzie SM-cover (State Machine Cover), który nie wymaga generowania całej przestrzeni stanów. Dzięki temu możliwe staje się ograniczenie złożoności analizy bez konieczności generowania pełnej przestrzeni stanów systemu. W pracy zastosowano także techniki redukcji FSP i FST, pozwalające znacząco zmniejszyć złożoność obliczeniową analizowanych modeli. Bez wątpienia pozwalają one na istotne uproszczenie modelu przed wykonaniem analizy formalnej, co pozwala znacząco skrócić czas obliczeń i ograniczyć problem eksplozji przestrzeni stanów. Na uwagę zasługuje bardzo wnikliwa weryfikacja eksperymentalna opracowanych metod, obejmującą testy na 243 benchmarkach oraz porównanie skuteczności syntezy z innymi metodami.

Podsumowując osiągnięte wyniki pragnę podkreślić, że oryginalność przedstawionych prac nie polega jedynie na implementacji algorytmów sterowania w układach FPGA, lecz przede wszystkim na połączeniu formalnego modelowania z wykorzystaniem sieci Petriego z procesem automatycznej syntezy oraz wielopoziomowej weryfikacji systemów cyber-fizycznych. Takie ujęcie tworzy spójną metodykę projektowania, obejmującą cały proces syntezy, poczynając od formalnej specyfikacji, a kończąc na zweryfikowanej implementacji sprzętowej.

- *Realizacja części sterującej rzeczywistych, rekonfigurowalnych systemów CPS w reprogramowalnych układach FPGA*

Trzeci obszar badawczy jest ściśle związany z dwoma poprzednimi. We wskazanych artykułach [A1-A6], [A8], których główne idee zostały już omówione w poprzednich częściach mojej opinii, bez wątpienia przedstawiono nowatorskie podejścia do realizacji sprzętowej części sterującej rekonfigurowalnych systemów CPS, implementowanych w strukturach FPGA. W artykule [A1] zaproponowano metodę projektowania opartą na transformacji modeli UML State Machine do współbieżnych automatów CFSM, a następnie do opisu w języku opisu sprzętu (Verilog). Rozwiązanie to umożliwia tworzenie modułowej architektury sterownika, w której poszczególne moduły mogą być dynamicznie

rekonfigurowane bez konieczności przerywania pracy układu FPGA. Koncepcja ta została rozwinięta w artykule [A2], gdzie zastosowano dynamiczną częściową rekonfigurację, pozwalającą na zmianę fragmentów układu skojarzonych z elementami algorytmu sterowania, również podczas pracy układu. Szczególnie nowatorskim rozwiązaniem jest wprowadzenie specjalnych stanów „idle", które zapewniają bezpieczną pracę przed rozpoczęciem rekonfiguracji układu FPGA. Tego typu podejście uważam za bardzo ciekawe i wnoszące istotny wkład w tworzenie różnorodnych układów wielokontekstowych. Praktyczne zastosowanie dynamicznej rekonfiguracji przedstawiono również w artykule [A8], w którym pokazano inteligentny system redukcji obciążenia, który umożliwił bezprzerwowe działanie całego CPS. Bez wątpienia wykorzystanie dynamicznie rekonfigurowalnych układów FPGA pozwala na ciągłą adaptację funkcjonalności sterownika do aktualnych potrzeb, co stanowi istotną przewagę nad klasycznymi systemami wbudowanymi, wymagającymi restartu podczas aktualizacji oprogramowania.

W pracach [A3] i [A6] szczególną uwagę poświęcono równoległej realizacji algorytmów SVM w strukturze FPGA. Dzięki sprzętowej realizacji możliwe stało się jednoczesne wykonywanie obliczeń, generacji sygnałów PWM oraz sterowanie tranzystorami. Trochę inny nacisk położono w pracach przedstawionych w artykułach [A4] i [A5], gdzie celem była implementacja sterowników w tanich układach FPGA, co zwiększa możliwości wdrażania opracowanych metod. Wyniki prac potwierdziły, że bezpośrednia implementacja wykorzystująca język opisu sprzętu, bez użycia narzędzi wysokiego poziomu (np. Matlab/Simulink), zmniejsza zużycie zasobów układu FPGA, a co z tym związane, zwiększa efektywność realizacji sterownika.

Warto podkreślić, że wskazane rozwiązania sprzętowe należy uznać za bardzo zaawansowane technologicznie, zapewniające bardzo efektywną czasowo sprzętowo-równoległą realizację procesu sterowania. Szczególnie cenna dla opracowanych rozwiązań implementacji sprzętowej jest dynamiczna rekonfiguracja, zapewniającą możliwość dynamicznej modyfikacji układu sterowania podczas pracy. Dodatkowo zastosowanie mechanizmu rekonfiguracji pozwala na użycie prostszej struktury programowalnej, która może zastąpić większy układ, ponieważ może być dopasowywana do aktualnych potrzeb poprzez reprogramowanie.

Omówione powyżej osiągnięcie naukowe, zatytułowane „Modelowanie części sterującej rekonfigurowalnych systemów cyber-fizycznych z wykorzystaniem języka UML oraz sieci Petriego" uważam za wartościowe. Doceniam nie tylko jej aspekty naukowe, ale

również praktyczną ich weryfikację. Warto podkreślić, że celem badań nie były tylko prace teoretyczne, ale działania badawcze ukierunkowane na formalną weryfikację, a potem sprzętową implementację, dość złożonych CPS. Na szczególną uwagę zasługuje kompleksowość badań, w których przedmiotem zainteresowań była cała ścieżka projektowa systemów sterowania, poczynając od ich opisu, weryfikacji, a kończąc na niebanalnej sprzętowej implementacji, w dynamicznie rekonfigurowanych strukturach programowalnych.

1.3 Podsumowanie oceny osiągnięcia naukowego

W zdecydowanej większości współautorskich artykułów przedstawiających główne osiągnięcie naukowe, Habilitant nie jest pierwszym autorem, ale z całą pewnością Jego wkład pracy w osiągnięte wyniki jest istotny. Deklarowany średni wkład procentowy Habilitanta w poszczególne artykuły stanowiące główne osiągnięcie naukowe wynosi 43,75%. W jednym artykule Habilitant jest jedynym autorem ([A8]), a w jednym pierwszym autorem ([A2]), którego wkład jest większy niż 50%.

Oryginalny, znaczący wkład naukowy Habilitanta w zakresie wskazanego osiągnięcia naukowego „Modelowanie części sterującej rekonfigurowalnych systemów cyber-fizycznych z wykorzystaniem języka UML oraz sieci Petriego", obejmuje:

- opracowanie metod projektowania sterowników współbieżnych implementowanych w układach FPGA,
- rozwój metod dynamicznej częściowej rekonfiguracji systemów sterowania implementowanych w układach FPGA,
- opracowanie algorytmów i metod implementacji sterowania przekształtnikami matrycowymi z wykorzystaniem modulacji SVM,
- integracja metod formalnych (UML, sieci Petriego) z projektowaniem systemów sterowania i systemów cyber-fizycznych,
- opracowanie rozwiązań dla inteligentnego zarządzania energią w sieciach HAN,
- rozwój metod syntezy systemów cyber-fizycznych.

Całość osiągnięć tworzy spójny profil badawczy łączący informatykę, automatykę, układy FPGA, energoelektronikę oraz formalne metody modelowania systemów sterowania, stanowiąc element rozwoju dyscypliny Informatyka Techniczna i Telekomunikacja. Ze względu na powyższe, przedstawione do oceny osiągnięcie naukowe oceniam pozytywnie.

2. Ocena pozostałej istotnej aktywności naukowej

Oprócz cyklu 8 publikacji związanych z głównym osiągnięciem, Kandydat przedstawiając dodatkowy dorobek publikacyjny wskazuje: 6 współautorskich publikacji w renomowanych czasopismach (między innymi IEEE Transactions on Intelligent Vehicles, Microprocessors and Microsystems), 10 publikacji konferencyjnych (9 współautorskich) oraz 4 monografie lub rozdziały w monografiach. Kandydat jest również autorem lub współautorem prezentacji, które zostały wygłoszone na licznych konferencjach krajowych i międzynarodowych.

Sumaryczny współczynnik wpływu publikacji, podany w wykazie osiągnięć naukowych (zał. 4) JCR wynosi IF=46,701, liczba cytowań według bazy Web of Science wynosi 280 (234 bez autocytowań), a indeks Hirscha jest równy 11. Według bazy Scopus liczba cytowań wynosi 369, a indeks Hirscha jest równy 12..

Kandydat uczestniczył w realizacji projektów badawczych przyznawanych w drodze konkursu w roli głównego wykonawcy lub kierownika. Efektem pozyskanie środków jest między innymi staż na Uniwersytecie Kalifornijskim w Berkeley odbyty pod kierunkiem prof. Edwarda Lee, najwybitniejszego specjalisty w zakresie systemów cyber-fizycznych. Aktywnie współpracuje również z Uniwersytetem NOVA w Lizbonie. Wymiernym efektem współpracy są współautorskie publikacje.

Istotnym elementem osiągnięć Kandydata jest również współpraca naukowa z otoczeniem przemysłowym, potwierdzona uczestnictwem w realizacji doktoratu wdrożeniowego oraz opracowaniem ekspertyz wykonanych na zmówienie przedsiębiorstw.

Osiągnięcia Kandydata zostały dostrzeżone w krajowym i międzynarodowych środowisku naukowym. Dr inż. Grzegorz Bazydło został zaproszony do recenzowania licznych artykułów przesłanych do czasopism. Był członkiem komitetów naukowych i organizacyjnych licznych konferencji krajowych i międzynarodowych oraz współorganizatorem sesji specjalnych organizowanych w ramach konferencji. Kandydat jest również członkiem licznych towarzystw naukowych takich jak: Polski Komitet Normalizacyjny, Institute of Electrical and Electronics Engineers (IEEE), IEEE Industrial Electronics Society, IEEE Systems, Man, and Cybernetics Society i IEEE Robotics and Automation Society.

Działalność naukowa Habilitanta została wyróżniana przyznaniem trzech Indywidualnych Nagród Rektora Uniwersytetu Zielonogórskiego w latach 2014, 2017 i 2023.

Oceniając całokształt aktywności naukowej dr. inż. Grzegorza Bazydło uważam, że jest ona wartościowa. Kandydat jest naukowcem rozpoznawalnym w kraju i za granicą, bardzo aktywnym w obszarze współpracy naukowej, również międzynarodowej, a uzyskane ze znaczącym Jego udziałem **wyniki mają istotne znaczenie dla rozwoju dyscypliny naukowej Informatyka Techniczna i Telekomunikacja.**

3. Ocena działalności pozanaukowej

Aktywność dydaktyczna dr. inż. Grzegorza Bazydły obejmuje prowadzenie licznych zajęć dydaktycznych ściśle związanych z tematyką osiągnięcia naukowego. Kandydat opracował i prowadzi następujące zajęcia: Modelowanie i implementacja systemów cyber-fizycznych, Projektowanie zintegrowanych systemów cyber-fizycznych, Sterowanie procesami dyskretnymi, Języki skryptowe, Techniki modelowania programów, Podstawy informatyki, Bezpieczeństwo elektroniczne, Bezpieczeństwo danych i elementy kryptografii, realizowanych na różnych kierunkach studiów. Brał udział w opracowaniu programów studiów na kierunku Informatyka, a obecnie uczestniczy w pracach zespołu opracowującego specjalność Cyberbezpieczeństwo na studiach II stopnia. Pełni rolę promotora pomocniczego w dwóch pracach doktorskich. Był promotorem 18 prac magisterskich i 31 prac inżynierskich. Kilka z nich zostało wyróżnionych nagrodami Prezydenta Miasta Zielona Góra, Polskiego Towarzystwa Informatycznego Koła Zielonogórskiego lub Dziekana. Wydziału Informatyki, Elektrotechniki i Automatyki.

Dr inż. Grzegorz Bazydło nie stroni od działalności popularyzującej naukę. Jest opiekunem koła naukowego, aktywnie uczestniczy w różnych inicjatywach Uniwersytetu Zielonogórskiego takich jak: Festiwal Nauki, Dni otwarte, Orientation week, Lubelski Festiwal Nauki itp.

Działalność dydaktyczna Habilitanta na rzecz rozwoju oświaty została wyróżniana w 2022 roku przyznaniem Brązowego Krzyża Zasługi.

Biorąc pod uwagę powyższe, całokształt dorobku w obszarze działalności dydaktyczno-organizacyjnej oceniam pozytywnie.

4. Wniosek końcowy

Podsumowując powyższe oceny cząstkowe dorobku dr. inż. Grzegorza Bazydło w związku z przewodem habilitacyjnym stwierdzam co następuje:

- cykl 8 publikacji związanych z osiągnięciem naukowym pt.: „Modelowanie części sterującej rekonfigurowalnych systemów cyber-fizycznych z wykorzystaniem języka UML oraz sieci Petriego" stanowi istotny wkład w rozwój nauki w obszarze dyscypliny naukowej Informatyka Techniczna i Telekomunikacja,
- dorobek publikacyjny i naukowo-badawczy uzyskany po otrzymaniu stopnia doktora nie budzi zastrzeżeń pod względem ilościowym, jak i jakościowym, dlatego całokształt osiągnięć w tym obszarze oceniam pozytywnie,
- pozanaukowy dorobek dydaktyczny i organizacyjny oceniam pozytywnie.

Biorąc pod uwagę całokształt dorobku Kandydata stwierdzam, że wniosek o przeprowadzenie przewodu habilitacyjnego jest uzasadniony. Osiągnięcie naukowe dr. inż. Grzegorza Bazydło **spełnia wymagania** określone w art. 219. Ust. 1 pkt 2 i 3 Prawo o szkolnictwie wyższym i nauce (Dz.U. 2024 poz. 1571 ze późn. zm.) **stawiane osobom ubiegającym się o stopień doktora habilitowanego w dziedzinie nauk inżynieryjno-technicznych w dyscyplinie Informatyka Techniczna i Telekomunikacja.**