PODPIS ZAUFANY
Grzegorz
BAZYDŁO
24.12.2025 00:15:04 GMT+1
Dokument podpisany elektronicznie
podpisem zaufanym

Autoreferat

1. Dane podstawowe wnioskodawcy

1.1. Imię i nazwisko

- Grzegorz Bazydło

1.2. Profile naukowe

- ORCID: https://orcid.org/0000-0003-3103-4767
- Web of Science: https://www.webofscience.com/wos/author/record/A-2646-2015
- Google Scholar: https://scholar.google.pl/citations?user=pm_XZ-IAAAAJ
- Scopus: https://www.scopus.com/authid/detail.uri?authorId=54384783200
- ResearchGate: https://www.researchgate.net/profile/Grzegorz-Bazydlo

2. Posiadane wykształcenie, dyplomy i stopnie naukowe

2.1. Posiadane dyplomy i stopnie naukowe

- **2010** – stopień **doktora nauk technicznych** w dyscyplinie informatyka, Wydział Elektrotechniki, Informatyki i Telekomunikacji[1], Uniwersytet Zielonogórski, tytuł rozprawy doktorskiej: *Graficzna specyfikacja programów dla rekonfigurowalnych sterowników logicznych z wykorzystaniem języka UML*, promotor: prof. dr hab. inż. Marian Adamski, recenzenci: prof. dr hab. inż. Andrzej Napieralski (Politechnika Łódzka), prof. dr hab. inż. Larysa Titarenko (Uniwersytet Zielonogórski);
- **2003** – tytuł **magistra inżyniera**, kierunek Informatyka, Wydział Elektrotechniki, Informatyki i Telekomunikacji, Uniwersytet Zielonogórski, tytuł pracy magisterskiej: *Modelowanie automatów połączonych LSM w języku XML*, promotor: dr inż. Marek Węgrzyn;
- **2001** – tytuł **inżyniera**, Wydział Elektrotechniki, Informatyki i Telekomunikacji, Politechnika Zielonogórska[2], tytuł pracy inżynierskiej: *Edytor graficzny diagramów Statechart*, promotor: prof. dr hab. inż. Marian Adamski.

2.2. Dodatkowe wykształcenie

- **2007** – tytuł **licencjata**, kierunek Zdrowie Publiczne, Wydział Zdrowia Publicznego, Akademia Medyczna we Wrocławiu, temat pracy: *Analiza systemów informatycznych używanych w ratownictwie medycznym na przykładzie Wojewódzkiej Stacji Pogotowia Ratunkowego SPZOZ w Zielonej Górze oraz Stacji Pogotowia Ratunkowego SPZOZ w Sulechowie*, promotor: dr n. med. Jacek Smereka;
- **2005** – uczestnik „4. International Summer Study Program 2005 – Wireless Communications and Systems – Technologies", Frankfurt nad Odrą, Niemcy;

[1] Wydział Elektrotechniki, Informatyki i Telekomunikacji w roku 2015 zmienił nazwę na Wydział Informatyki, Elektrotechniki i Automatyki, a w roku 2024 na Wydział Nauk Inżynieryjno-Technicznych
[2] Politechnika Zielonogórska została w roku 2001 przekształcona w Uniwersytet Zielonogórski

- **2003–2004** – francuskie studia podyplomowe: Menedżer dystrybucji narodowej i międzynarodowej – Manager de la Distribution en Milieu National et International, Université du Littoral, Francja;
- **2003–2004** – kurs kwalifikacyjny pedagogiczny dla nauczycieli teoretycznych przedmiotów zawodowych i ogólnokształcących, Wyższa Szkoła Menedżerska w Legnicy.

3. Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych

3.1. Przebieg zatrudnienia w jednostkach naukowych

- **od 01.08.2012 do chwili obecnej** – Uniwersytet Zielonogórski, adiunkt w Instytucie Informatyki i Elektroniki, następnie w Instytucie Inżynierii Elektrycznej, a od 2020 r. w Instytucie Sterowania i Systemów Informatycznych;
- **od 02.10.2011 do 31.07.2012** – Wyższa Szkoła Menedżerska w Legnicy, adiunkt na Wydziale Informatyki;
- **od 01.10.2003 do 01.10.2011** – Wyższa Szkoła Menedżerska w Legnicy, asystent na Wydziale Informatyki.

3.2. Przebieg zatrudnienia w przemyśle

- **od 01.04.2012 do 28.02.2015** — analityk systemowy (4/5 etatu) w firmie Apator Rector sp. z o.o. w Zielonej Górze.

3.3. Przebieg pracy zawodowej

Pracę naukowo-dydaktyczną wnioskodawca rozpoczął bezpośrednio po ukończeniu studiów magisterskich na Uniwersytecie Zielonogórskim, w październiku 2003 r. Pierwszą uczelnią wyższą, w której wnioskodawca pracował była Wyższa Szkoła Menedżerska (WSM) w Legnicy. Wnioskodawca został zatrudniony na stanowisku asystenta na Wydziale Informatyki, a do jego zadań należała realizacja zadań naukowo-badawczych oraz dydaktycznych. Jednocześnie, w tym samym roku, na Uniwersytecie Zielonogórskim wnioskodawca rozpoczął studia doktoranckie. Prowadzone badania naukowe koncentrowały się wokół modelowania współbieżnych systemów sterujących z wykorzystaniem języka UML (ang. *Unified Modeling Language*), które zaowocowały stopniem naukowym doktora w październiku 2010 r. Od roku 2012 wnioskodawca pracuje w Uniwersytecie Zielonogórskim, w którym jest zatrudniony na stanowisku adiunkta w grupie pracowników badawczo-dydaktycznych.

Warto dodać, że w latach 2012-2015, poza pracą na Uczelni, wnioskodawca był zatrudniony w firmie informatycznej Apator Rector sp. z o.o. (dziś jest to spółka należąca do międzynarodowej grupy kapitałowej Apator), gdzie pracował jako analityk systemowy i zajmował się projektowaniem systemów informacji geograficznej GIS (ang. *Geographic Information System*) wspierających zarządzanie siecią elektroenergetyczną. Do głównych zadań wnioskodawcy należała m.in. analiza wymagań klienta, opracowywanie modelu systemu (głównie w języku UML), przygotowywanie dokumentacji technicznej systemu, a także szkolenia użytkowników końcowych wdrażanych systemów. Był to ważny czas w karierze zawodowej wnioskodawcy, ponieważ pozwolił z jednej strony na praktyczne wykorzystanie posiadanej wiedzy dot. modelowania systemów cyber-fizycznych w języku UML, a z drugiej na skonfrontowanie wyników prowadzonych badań naukowych z rzeczywistymi wdrożeniami w przemyśle. W roku 2015 roku wnioskodawca zdecydował się w pełni poświęcić pracy naukowej, dlatego też zakończył współpracę z firmą i skupił się wyłącznie na aspektach badawczo-naukowych realizowanych głównie w Uniwersytecie Zielonogórskim, ale także w Uniwersytecie Kalifornijskim w Berkeley oraz Uniwersytecie NOVA w Lizbonie.

Współpraca naukowa wnioskodawcy z Uniwersytetem Kalifornijskim rozpoczęła się w październiku 2022 roku, gdy wnioskodawca odbył trzytygodniowy staż naukowy w tej prestiżowej amerykańskiej uczelni (University of California, Berkeley, USA) u jednego z najwybitniejszych naukowców zajmujących się projektowaniem systemów cyber-fizycznych – prof. Edwardem A. Lee. Warto podkreślić, że współpraca pomiędzy wnioskodawcą a Uniwersytetem Kalifornijskim trwa nieprzerwanie od 2022 roku, a wnioskodawca jest aktywnie zaangażowany w projekty realizowane przez zespół prof. Lee, m.in. biorąc udział w cotygodniowych zdalnych seminariach

organizowanych przez UC Berkeley. Ścisła współpraca zaowocowała kolejną wizytą badawczą wnioskodawcy w Uniwersytecie Kalifornijskim w Berkeley w 2024 r. Szczegółowe informacje odnośnie współpracy oraz aktywności naukowych realizowanych przez wnioskodawcę w Uniwersytecie Kalifornijskim zamieszczono w rozdziale 5.1 niniejszego autoreferatu.

Drugim ważnym dla wnioskodawcy zagranicznym ośrodkiem naukowym jest Uniwersytet NOVA w Lizbonie, z którym naukowa współpraca trwa nieprzerwanie od kwietnia 2016 roku. Wspólnie z prof. Luis Gomesem oraz prof. Aniko Costa realizowane są prace badawcze dotyczące wykorzystania maszyn stanów z języka UML oraz sieci Petriego do projektowania, modelowania i analizy systemów współbieżnych oraz systemów cyber-fizycznych, realizowanych w rekonfigurowalnych układach FPGA. Do dnia dzisiejszego wnioskodawca przebywał na Uniwersytecie NOVA w Lizbonie już sześciokrotnie podczas tygodniowych wizyt realizowanych w ramach programu Erasmus+.

Warto także dodać, że wnioskodawca chętnie bierze udział w różnych aktywnościach umożliwiających rozwój zawodowy takich jak udział w konferencjach i seminariach naukowych (zarówno międzynarodowych jak i krajowych), stażach i wizytach badawczych w zagranicznych ośrodkach naukowych, wyjazdach dydaktycznych w ramach programu Erasmus+, studiach podyplomowych (np. kursu pedagogicznego podwyższającego kwalifikacje dydaktyczne czy z zakresu zarządzania dystrybucją w Uniwersytecie du Littoral we Francji), a także szkoleniach zewnętrznych (np. z zakresu modelowania w języku UML, projektowania procesów biznesowych w notacji BPMN, cyberbezpieczeństwa, itp.).

Jedną z pasji wnioskodawcy jest ratownictwo medyczne, którą rozwija nieprzerwanie od 1999 roku szkoląc dzieci i młodzież (głównie harcerską) z udzielania pierwszej pomocy. Ciągłe dążenie do pogłębiania swojej wiedzy i umiejętności ratowniczych doprowadziła wnioskodawcę do ukończenia 3-letnich studiów licencjackich na Akademii Medycznej we Wrocławiu na kierunku ratownictwo medyczne, zakończonych w roku 2007 otrzymaniem tytułu licencjata oraz zdanym państwowym egzaminem zawodowym.

4. Omówienie osiągnięć, o których mowa w art. 219 ust. 1 pkt. 2 ustawy z dnia 20 lipca 2018 r. *Prawo o szkolnictwie wyższym i nauce* (Dz. U. z 2021 r. poz. 478 z późn. zm.)

4.1. Wskazanie osiągnięcia naukowego

Osiągnięciem stanowiącym podstawę wniosku habilitacyjnego określonym w art. 219 ust. 1 pkt. 2 ustawy z dnia 20 lipca 2018 r. Prawo o szkolnictwie wyższym i nauce (Dz. U. z 2021 r. poz. 478 z późn. zm.) jest jednotematyczny cykl publikacji pt.

„Modelowanie części sterującej rekonfigurowalnych systemów cyber-fizycznych z wykorzystaniem języka UML oraz sieci Petriego"

4.2. Wykaz publikacji stanowiących osiągnięcie naukowe

Przedstawiony cykl publikacji składa się z **8 artykułów naukowych** (oznaczonych od A1 do A8). Każda praca została opublikowana w międzynarodowym czasopiśmie naukowym posiadającym współczynnik wpływu (ang. *Impact Factor*, IF), na podstawie wykazu Journal Citation Reports (JCR). Wszystkie artykuły powstały po uzyskaniu stopnia naukowego doktora. Zestawienie prac ułożono chronologicznie, zgodnie z datą ich publikacji. Dla każdego artykułu podano wartość współczynnika IF zgodnego z rokiem opublikowania danej pracy, a także wartość punktową spójną z wykazem czasopism naukowych i recenzowanych materiałów z konferencji międzynarodowych opublikowanych w komunikatach Ministra Nauki i Szkolnictwa Wyższego – MNiSW w latach 2017-2024 (szczegóły dotyczące przyjętych we wniosku ministerialnych punktacji, a także inne parametry dotyczące wskazanych publikacji, np. ilość cytowań, zawarto w *Załączniku nr 4*).

[A1] R. Wiśniewski, **G. Bazydło**, L. Gomes, A. Costa, *Dynamic Partial Reconfiguration of Concurrent Control Systems Implemented in FPGA Devices*, 2017, **IEEE Transactions on Industrial Informatics**, Vol. 13, Iss. 4, pp. 1734–1741, DOI: 10.1109/TII.2017.2702564, $IF_{2017} = 6.764$, $MNiSW_{2017} = 50$ pkt. ($MNiSW_{2019} = 200$ pkt.), wkład wnioskodawcy: 40%.

[A2] **G. Bazydło**, S. Wermiński, *Demand Side Management through Home Area Network systems*, 2018, **International Journal of Electrical Power and Energy Systems**, Vol. 97, pp. 174–185, DOI: 10.1016/j.ijepes.2017.10.026, $IF_{2018} = 3.610$, $MNiSW_{2017} = 40$ pkt. ($MNiSW_{2019} = 100$ pkt.), wkład wnioskodawcy: 60%.

[A3] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, M. Wojnakowski, *Petri net-based specification of cyber-physical systems oriented to control direct matrix converters with space vector modulation*, 2019, **IEEE Access**, Vol. 7, pp. 23407–23420, DOI: 10.1109/ACCESS.2019.2899316, $IF_{2019} = 4.098$, $MNiSW_{2019} = 100$ pkt., wkład wnioskodawcy: 25%.

[A4] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, *Low-Cost FPGA Hardware Implementation of Matrix Converter Switch Control*, 2019, **IEEE Transactions on Circuits and Systems – II: Express Briefs**, Vol. 66, Iss. 7, pp. 1177–1181, DOI: 10.1109/TCSII.2018.2875589, $IF_{2019} = 2.814$, $MNiSW_{2019} = 140$ pkt., wkład wnioskodawcy: 30%.

[A5] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, *SVM Algorithm Oriented for Implementation in a Low-Cost Xilinx FPGA*, 2019, **Integration – the VLSI Journal**, Vol. 64, pp. 163–172, DOI: 10.1016/j.vlsi.2018.10.002, $IF_{2019} = 1.150$, $MNiSW_{2019} = 70$ pkt., wkład wnioskodawcy: 40%.

[A6] R. Wiśniewski, **G. Bazydło**, P. Szcześniak, I. Grobelna, M. Wojnakowski, *Design and Verification of Cyber-Physical Systems Specified by Petri Nets – A Case Study of a Direct Matrix Converter*, 2019, **Mathematics**, Vol. 7, pp. 1–24, DOI: 10.3390/math7090812, $IF_{2019} = 1.883$, $MNiSW_{2019} = 20$ pkt., wkład wnioskodawcy: 30%.

[A7] M. Wojnakowski, R. Wiśniewski, **G. Bazydło**, M. Popławski, *Analysis of Safeness in a Petri Net-Based Specification of the Control Part of Cyber-Physical Systems*, 2021, **International Journal of Applied Mathematics and Computer Science**, Vol. 31, No. 4, pp. 647–657, DOI: 10.34768/amcs-2021-0045, $IF_{2021} = 2.157$, $MNiSW_{2021} = 100$ pkt., wkład wnioskodawcy: 25%.

[A8] **G. Bazydło**, *Designing Reconfigurable Cyber-Physical Systems Using Unified Modeling Language*, 2023, **Energies**, Vol. 16, Iss. 3, Art. 1275, pp. 1–21, DOI: 10.3390/en16031273, $IF_{2023} = 3.0$, $MNiSW_{2024} = 140$ pkt., wkład wnioskodawcy: 100%.

4.3. Omówienie osiągniętych rezultatów naukowych stanowiących znaczny wkład w rozwój dyscypliny

4.3.1. Omówienie tematyki badawczej i celu naukowego

Prowadzone badania wnioskodawcy koncentrują się wokół **współbieżnych systemów sterujących** oraz **systemów cyber-fizycznych** (ang. *Cyber-Physical System*, CPS) lub bardziej precyzyjnie – części sterującej („cyber") systemów CPS. System cyber-fizyczny integruje aspekty *cybernetyczne* (przetwarzanie danych, komunikacja) z *fizycznymi*, realnymi procesami, a modelowanie takich systemów wymaga rozumienia interakcji pomiędzy komponentami fizycznymi a modułami przetwarzającymi dane [C1]. System CPS zazwyczaj jest systemem współbieżnym, ponieważ systemy fizyczne są z natury współbieżne. Jednak proste systemy CPS, w których część „cyber" jest odpowiedzialna za sterowanie pojedynczym procesem, nie muszą być współbieżne. Z drugiej strony współbieżne systemy sterujące z definicji realizują funkcję sterującą (odpowiednik części „cyber" w systemach CPS) i tym samym sterują fizycznymi obiektami lub procesami (odpowiednik części „fizycznej"). Dlatego w realizowanych badaniach przyjęto, że współbieżne systemy sterujące to podklasa systemów cyber-fizycznych. Z tego też powodu niniejszy dokument (jak i tytuł jednotematycznego cyklu publikacji) koncentruje się ogólnie na systemach cyber-fizycznych. Niemniej, prowadzone badania dotyczyły zarówno systemów CPS, jak i współbieżnych systemów sterujących (czyli podklasy systemów CPS). Warto także podkreślić, że zakres i tematyka podejmowanych badań ściśle związane są z dyscypliną naukową *informatyka techniczna i telekomunikacja*.

Rozwój technologiczny obserwowany w ostatnich latach spowodował, że realizacje systemów CPS można dziś znaleźć w wielu obszarach takich jak transport, medycyna, systemy produkcyjne czy inteligentne systemy typu „smart" (np. smart homes, smart buildings, smart cities, etc.) [C2-C4]. Przed systemami CPS stawia się dzisiaj wysokie wymagania m.in. dotyczące niskiego zużycia energii, bezpieczeństwa działania i przetwarzania danych, użyteczności czy **adaptacji**. Zwłaszcza to ostatnie wymaganie wydaje się być bardzo interesujące, a jednocześnie trudne w realizacji. W praktyce oznacza ono bowiem, że system CPS powinien posiadać możliwość **zmiany** zaimplementowanego w urządzeniu **algorytmu sterującego** (lub jego fragmentu) w możliwie **nieinwazyjny** i niezauważalny dla użytkownika sposób (np. bez konieczności zatrzymania pracy danego urządzenia). Modelowanie systemów CPS pod kątem ich adaptacyjności wymaga od projektanta dokładnego zrozumienia zależności, jakie występują pomiędzy komponentami cybernetycznymi (przetwarzającymi dane), a jego fizycznymi modułami [C5].

W ostatnich latach dynamiczny rozwój nastąpił także w dziedzinie układów cyfrowych. Powszechnie stosowane obwody drukowane, dedykowane układy scalone, a także komputery ulegają ciągłej miniaturyzacji i są coraz częściej zastępowane pojedynczymi mikrosystemami. Interesujące możliwości posiadają rekonfigurowalne układy FPGA (ang. *Field Programmable Gate Array*), które pozwalają na rekonfigurację układu i modyfikację funkcjonalną systemu [C6]. Nowoczesne układy FPGA, poza możliwością tradycyjnej statycznej rekonfiguracji całego układu, oferują znacznie bardziej zaawansowane mechanizmy. *Częściowa* rekonfiguracja pozwala wymienić fragmenty zaimplementowanego algorytmu sterowania bez konieczności przeprogramowania całej struktury układu. Przy spełnieniu pewnych założeń istnieje możliwość *dynamicznej*, częściowej rekonfiguracji, czyli **wymiany wybranych części algorytmu podczas pracy systemu** (bez konieczności wyłączenia układu). Można to uzyskać między innymi poprzez określenie tzw. *bezpiecznych stanów* systemu, co wiąże się z odpowiednim przygotowaniem modelu systemu już na etapie jego specyfikacji [A1]. Producenci sprzętu także coraz częściej doceniają możliwość modyfikacji oprogramowania urządzenia bez konieczności zatrzymywania jego pracy. W ten nurt badawczy dobrze wpisuje się więc koncepcja **rekonfigurowalnego systemu cyber-fizycznego** [C7, A8], będącego w centrum zainteresowań naukowych wnioskodawcy. Warto podkreślić, że pojęcie rekonfigurowalnego CPS jest stosunkowo nowe, a badania wnioskodawcy były jednymi z pierwszych (zwłaszcza pod kątem systemów CPS zorientowanych na realizację w reprogramowalnych układach FPGA), które się w ten nurt wpisują. Ponadto, opisywany trend badawczy jest nie tylko ważny i aktualny, lecz ma również znaczący wpływ na rozwój dyscypliny naukowej *informatyka techniczna i telekomunikacja*.

Rosnąca złożoność komponentów i podzespołów oraz stosowanie coraz bardziej zaawansowanych technologii w produkcji czujników i elementów wykonawczych generują poważne wyzwania dotyczące projektowania systemów CPS nowej generacji [C8]. Obecnie stosowane metody często nie są w stanie sprostać potrzebie *modułowego* modelowania systemu czy *płynnej zmiany* poziomu szczegółowości modelu. Tym samym zmuszają projektanta do operowania na niskim poziomie abstrakcji z dużą liczbą szczegółów (zazwyczaj nieistotnych na danym etapie projektowania). Wraz ze wzrostem złożoności systemów CPS istnieje więc wyraźna potrzeba **poszukiwania nowych i udoskonalania istniejących metod projektowania**, które będą pozwalać na modelowanie na wybranym (wysokim) poziomie abstrakcji, a także specyfikowanie **behawioralnych i modularnych modeli** systemu. Obiecującym rozwiązaniem wydaje się być połączenie języka UML (ang. *Unified Modeling Language*), szeroko stosowanego do modelowania systemów CPS [C9] z podejściem opartym na przetwarzaniem modeli (ang. *Model-Driven Development*, MDD) [C10], co jest głównym przedmiotem zainteresowań naukowych wnioskodawcy. Tworzone modele behawioralne, tzn. skoncentrowane na odwzorowaniu zachowania systemu, posiadające modularną strukturę, pozwalają na automatyczną dekompozycję, a następnie modułową realizację w układach reprogramowalnych (np. FPGA). Dzięki możliwości częściowej rekonfiguracji układów FPGA, w przypadku np. niespodziewanej zmiany wymagań systemu już po jego implementacji, możliwa jest efektywna wymiana wybranych (np. wadliwych) modułów, a dzięki funkcji dynamicznej częściowej rekonfiguracji – także w trakcie działania systemu.

Podsumowując, specyfikacja złożonych, rekonfigurowalnych systemów CPS, realizowanych w strukturach reprogramowalnych pod kątem częściowej (zwłaszcza dynamicznej) rekonfiguracji układu FPGA, wymaga użycia nowoczesnych, specjalistycznych metod projektowania, będących przedmiotem zainteresowań naukowych

wnioskodawcy. Prowadzone prace badawcze wskazują szczególną przydatność diagramów maszyn stanowych z języka UML, które w połączeniu z podejściem opartym na przetwarzaniu modeli MDD pozwalają na **efektywne modelowanie i dekompozycję** części sterującej systemu CPS [A8], realizowanej w **reprogramowalnym układzie FPGA** i gotowej na późniejszą, bezpieczną, **dynamiczną, częściową rekonfigurację** tego układu [A1]. Ponadto można zauważyć lukę w literaturze przedmiotu dotyczącą opracowań, które proponowałyby **kompletną ścieżkę projektową** systemów CPS (a konkretnie części sterującej tych systemów) ukierunkowaną na **modularną i efektywną** (pod kątem zużycia dostępnych zasobów) implementację systemu w reprogramowalnych układach (np. FPGA) z możliwością późniejszej częściowej jego rekonfiguracji.

Dlatego **głównym celem prowadzonych prac naukowo-badawczych** była gruntowna analiza istniejących rozwiązań oraz zaproponowanie nowych lub usprawnienie istniejących metod modelowania i dekompozycji części sterującej rekonfigurowalnego systemu CPS realizowanej w układzie FPGA pod kątem późniejszej częściowej (dynamicznej lub statycznej) rekonfiguracji systemu. Warto podkreślić, że prace te wpisują się w rozwój dyscypliny naukowej *informatyka techniczna i telekomunikacja* w takich obszarach badawczych, jak:

- architektury i systemy komputerowe,
- metody projektowania systemów (ang. *system-level design*),
- systemy cyber-fizyczne i systemy wbudowane.

Szczegółowe omówienie wkładu wnioskodawcy w rozwój dyscypliny naukowej znajduje się w rozdziale 4.4.

4.3.2. Omówienie osiągniętych wyników naukowych stanowiących znaczny wkład w rozwój dyscypliny

Główny nurt badań prowadzonych przez wnioskodawcę w latach 2010-2025 (okres po uzyskaniu stopnia doktora) można podzielić na trzy zasadnicze obszary badawcze:

- **Pierwszy obszar badawczy:** Modelowanie części sterującej rekonfigurowalnych systemów CPS z wykorzystaniem języka UML [A1], [A2], [A5], [A8];
- **Drugi obszar badawczy:** Modelowanie i weryfikacja części sterującej systemów CPS z wykorzystaniem sieci Petriego [A3], [A4], [A6], [A7];
- **Trzeci obszar badawczy:** Realizacja części sterującej rzeczywistych, rekonfigurowalnych systemów CPS w reprogramowalnych układach FPGA [A1-A6], [A8].

Poniżej szczegółowo opisano każdy z ww. obszarów badawczych wnioskodawcy.

Pierwszy obszar badawczy: Modelowanie części sterującej rekonfigurowalnych systemów CPS z wykorzystaniem języka UML

Działalność naukowa wnioskodawcy w tym obszarze jest kontynuacją badań rozpoczętych przed uzyskaniem stopnia naukowego doktora. Badania te koncentrowały się wokół metod graficznej specyfikacji sterowników logicznych (zwłaszcza rekonfigurowalnych) i współbieżnych układów sterujących. W ramach prac skupiono się głównie na wykorzystaniu graficznych notacji, np. języka UML, pozwalających na modelowanie zachowania danego systemu sterowania na wybranym, wysokim poziomie abstrakcji. Tak opracowany model był następnie przekształcany (zgodnie z podejściem opartym na przetwarzaniu modeli – MDD) na model kodu wyrażony w języku opisu sprzętu – Verilog. Dzięki temu możliwa była późniejsza synteza i realizacja modelu w układach reprogramowalnych, zwłaszcza FPGA. Opublikowana po doktoracie monografia [B1] podsumowuje te badania prezentując wczesną, niedojrzałą wersję autorskiej metody specyfikacji programów dla rekonfigurowalnych sterowników logicznych z wykorzystaniem języka UML. Warto jednak podkreślić, że obszar dotyczący częściowej rekonfiguracji (statycznej lub dynamicznej) nie był przedmiotem badań wnioskodawcy jako doktoranta, a sama metoda nie była zorientowana na możliwość częściowej rekonfiguracji zrealizowanego systemu. Dopiero po uzyskaniu stopnia doktora, wnioskodawca rozpoczął badania z jednej strony skoncentrowane na rozszerzeniu autorskiej metody do przygotowania modelu systemu pod kątem dynamicznej częściowej rekonfiguracji, a z drugiej na praktycznym wykorzystaniu tej metody do modelowania rzeczywistych rekonfigurowalnych systemów cyber-fizycznych (w tym rekonfigurowalnych współbieżnych systemów sterujących).

Motywacją badań prowadzonych po uzyskaniu stopnia naukowego doktora było rozwinięcie i zaadaptowanie autorskiej metody do modelowania coraz bardziej popularnych systemów cyber-fizycznych (a zwłaszcza części sterującej tych systemów) realizowanych w reprogramowalnych układach FPGA. Szczególnie interesująca wydawała się możliwość dynamicznej, częściowej rekonfiguracji tych układów, która pozwala na zmianę wybranego fragmentu algorytmu sterującego bez konieczności wyłączania całego urządzenia. To jednak wymaga odpowiedniego przygotowania modelu behawioralnego w taki sposób, aby w momencie dynamicznej rekonfiguracji znajdował się on w tzw. bezpiecznym stanie (stanach), aby proces rekonfiguracji mógł zakończyć się sukcesem. W ten sposób w obszarze naukowych zainteresowań wnioskodawcy naturalnie znalazły się **rekonfigurowalne systemy cyber-fizyczne**.

Nabyta w trakcie badań wiedza i doświadczenie w projektowaniu rekonfigurowalnych systemów CPS pozwoliły nawiązać współpracę z wybitnym specjalistą z dziedziny systemów CPS – profesorem Edwardem A. Lee z Uniwersytetu Kalifornijskiego w Berkeley (CA, USA), czego owocem był trzytygodniowy staż naukowy wnioskodawcy w Berkeley w 2022 roku oraz kolejna wizyta badawcza w roku 2024 (więcej szczegółów odnośnie współpracy z UC Berkeley zamieszczono w rozdziale 5.1).

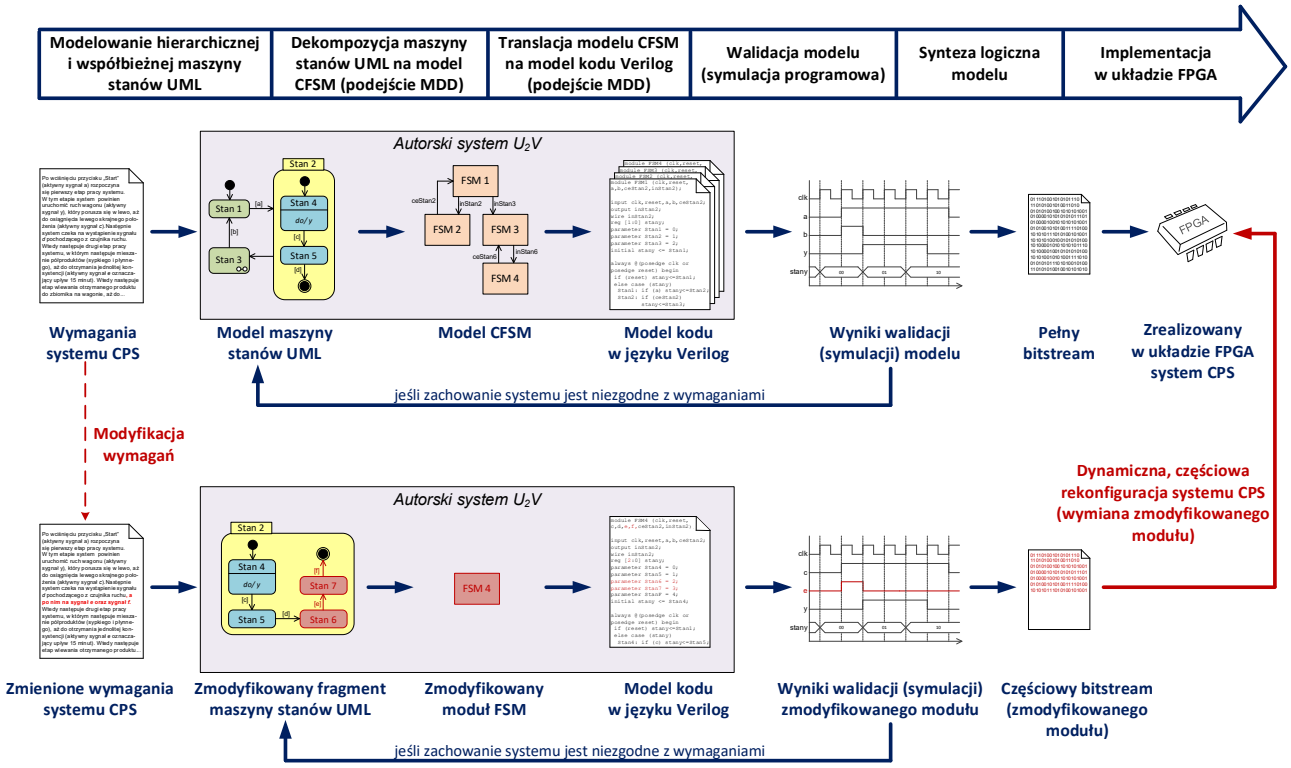
Pierwsza koncepcja ulepszonej, autorskiej metody została opublikowana w czasopiśmie *IEEE Transactions on Industrial Informatics* [A1] i dotyczyła modelowania współbieżnych systemów sterujących realizowanych w układach FPGA pod kątem późniejszej częściowej rekonfiguracji takich systemów. Kolejne badania i dalsze prace nad autorską metodą doprowadziły do rozszerzenia jej możliwości do modelowania szerszej klasy systemów, w tym rekonfigurowalnych systemów CPS. Rozszerzona i dopracowywana wersja tej metody (także z uwzględnieniem owoców stażu naukowego w Berkeley) została szczegółowo opisana w samodzielnej publikacji [A8]. Poniżej zaprezentowano wybrane, najważniejsze osiągnięcia wnioskodawcy będące wynikiem badań dotyczących autorskiej metody i, zdaniem wnioskodawcy, stanowiące znaczny wkład w rozwój dyscypliny.

W ramach autorskiej metody modelowania części sterującej rekonfigurowalnych systemów CPS z wykorzystaniem języka UML opracowano szereg mniejszych technik (metod) odpowiedzialnych m.in. za tworzenie behawioralnego modelu systemu, dekompozycję hierarchicznej i współbieżnej maszyny stanów, transformację modeli czy implementację w reprogramowalnych strukturach pod kątem częściowej rekonfiguracji. Wszystkie te techniki realizowane są w konkretnej sekwencji zamkniętej w opracowanym przez wnioskodawcę schemacie (algorytmie) metody (rys. 1). Realizacja przez projektanta działań wg zaproponowanego autorskiego schematu pozwala na opracowanie współbieżnego systemu sterującego spełniającego wymagania zamawiającego. Pierwsza wersja tego schematu (dotycząca *modelowania* współbieżnych systemów sterujących) została opublikowana w pracy [A1]. Warto wspomnieć, że praca ta zawiera także kompletną koncepcję *projektowania* współbieżnych systemów sterujących implementowanych w układach FPGA pod kątem późniejszej dynamicznej częściowej rekonfiguracji. Choć sama koncepcja jest wynikiem prac wszystkich autorów artykułu, to opracowana przez wnioskodawcę autorska metoda modelowania systemów sterujących (sterowników) z zastosowaniem diagramów UML jest jednym z kluczowych elementów tej opracowanej koncepcji. Usprawniony schemat (algorytm) autorskiej metody uogólniony do rekonfigurowalnych systemów cyber-fizycznych wraz ze szczegółowym opisem poszczególnych jej etapów (technik) zawarto w pracy [A8] i zdaniem wnioskodawcy znacząco usprawnia ona proces modelowania rekonfigurowalnych systemów CPS.

Pierwszy krok proponowanej metody obejmuje modelowanie systemu CPS. Na podstawie analizy *nieformalnych* wymagań systemu, dostarczonych przez zamawiającego, tworzony jest *formalny* model maszyny stanowej wyrażony w języku UML (rys. 1). Ten etap realizowany jest ręcznie przez projektanta i wymaga posiadania doświadczenia oraz wiedzy z zakresu modelowania współbieżnych systemów sterujących jak i danej dziedziny biznesowej. Na chwilę obecną wnioskodawcy nie są znane żadne narzędzia pozwalające na automatyczne tworzenie kompletnego i jednoznacznego modelu zachowania systemu na bazie wymagań podanych w języku naturalnym (choć można przypuszczać, że intensywny rozwój sztucznej inteligencji, w tym dużych modeli językowych może w przyszłości doprowadzić do powstania takich narzędzi, co jest także przedmiotem zainteresowań badawczych wnioskodawcy, będących jednak poza głównym nurtem badań opisanych w autoreferacie).

Wybór języka UML użytego w autorskiej metodzie nie był przypadkowy. Z jednej strony jest on popularnym, graficznym standardem modelowania hierarchicznych i współbieżnych systemów informatycznych, a z drugiej jest

także od wielu lat z powodzeniem wykorzystywany do modelowania systemów cyfrowych realizowanych w sprzęcie (np. systemów osadzonych, systemów CPS) [C9, C11]. Język UML składa się z czternastu diagramów, podzielonych na dwie grupy: struktury oraz zachowania. Szczegółowa analiza możliwości zastosowania diagramów z każdej z tych grup była także przedmiotem badań wnioskodawcy, a ich wyniki zostały opublikowane w dwóch rozdziałach w monografiach [B2] (diagramy struktury) oraz [B4] (diagramy zachowania). Rezultaty tych badań wskazują, że najbardziej obiecujące wydają się być diagramy maszyn stanowych, które wprost odwołują się do pojęcia stanu i pozwalają na intuicyjne modelowanie współbieżnych i hierarchicznych komponentów systemu CPS, których identyfikacja jest ważna z punktu widzenia możliwości przyszłej jego rekonfiguracji.



Rys. 1. Schemat proponowanej metody

Po utworzeniu behawioralnego modelu systemu CPS w postaci hierarchicznego i współbieżnego diagramu maszyny stanowej UML następuje jego dekompozycja. Proces ten bazuje na poziomach hierarchii oraz relacji współbieżności w maszynie stanów UML. W pierwszym kroku algorytmu dekompozycji wyodrębniane są sekwencyjne automaty FSM ze wszystkich stanów złożonych (ang. *composite states*) na wszystkich poziomach hierarchii modelu, a następnie każdy z automatów podrzędnych uzupełniany jest o specjalny, dodatkowy stan spoczynkowy (ang. *idle state*) i dodatkowe przejścia z nim związane. W ten sposób tworzony jest model współbieżnie działających automatów FSM – model CFSM (ang. *Concurrent Finite State Machine*), komunikujących się za pomocą specjalnych, wewnętrznych sygnałów. Dzięki temu z hierarchicznej i współbieżnej maszyny stanów otrzymywany jest „płaski" model składający się z powiązanych ze sobą, ale już sekwencyjnych automatów FSM. Dodane do automatów stany spoczynkowe i dodatkowe przejścia odpowiadają za aktywowanie i deaktywowanie poszczególnych powiązanych automatów FSM (modułów).

Należy podkreślić, że sam proces dekompozycji realizowany jest wg opracowanego przez wnioskodawcę autorskiego rekurencyjnego algorytmu, który powstał przed uzyskaniem stopnia naukowego doktora. Jednak prowadzone przez wnioskodawcę badania po doktoracie wykazały, że wykorzystywane podczas dekompozycji stany spoczynkowe mogą pełnić także rolę tzw. *stanów bezpiecznych*, niezbędnych do poprawnego przeprowadzenia procesu częściowej rekonfiguracji układu FPGA. Dlatego dodatkowo do stanów bezpiecznych dodawane są specjalne sygnały umożliwiające bezpieczne przeprowadzenie procesu częściowej rekonfiguracji systemu (co zostało szerzej opisane w trzecim obszarze badawczym dotyczącym realizacji części sterującej systemów CPS w układach FPGA). Główną ideę algorytmu dekompozycji zawarto w pracy [A1], a jego szczegółowy opis w [A8].

Warto zauważyć, że proces dekompozycji modelu UML na model CFSM jest możliwy, jeżeli diagram maszyny stanowej UML jest *modularny*, tzn. nie zawiera przejść przekraczających granice stanów, co jest jednym z ograniczeń proponowanej metody. Trzeba jednak wspomnieć, że takie ograniczenie dotyczące stosowania wyłącznie diagramów modularnych jest obecne w większości innych, alternatywnych metod i technik (np. [C12, C13]). Uproszczony algorytm dekompozycji w formie pseudokodu zaprezentowano na rys. 2a, a jego schemat w postaci diagramu czynności języka UML przedstawia rys. 2b. Warto zauważyć, że algorytm ten bazuje na rekurencyjnym wywołaniu funkcji *ExctractFSM(region)*, która jako parametr przyjmuje region współbieżny stanu złożonego (w notacji UML stan złożony składa się z co najmniej jednego regionu współbieżnego, który reprezentuje maszynę stanów). W pierwszym wywołaniu funkcji jako parametr przyjmowana jest cała hierarchiczna i współbieżna maszyna stanów UML, która traktowana jest tu jako nadrzędny region współbieżny.

Algorytm 1. Dekompozycja maszyny stanów UML

Wejście: hierarchiczna maszyna stanów UML (nadrzędny region współbieżny)
Wyjście: zbiór zdekomponowanych, współbieżnie działających automatów FSM

Wywołanie funkcji ***ExtractFSM(nadrzędny region współbieżny)***

Rekurencyjna funkcja ***ExtractFSM(region)***

Wejście funkcji (parametr): region współbieżny reprezentujący maszynę stanów UML
Wyjście funkcji: zdekomponowany automat FSM

1. Zbuduj listę stanów i listę przejść w bieżącym regionie współbieżnym (przekazanym jako parametr) w oparciu o bieżący poziom hierarchii.

2. Zbuduj automat FSM korzystając z list stanów i przejść.

3. Jeśli to konieczne, uzupełnij automat FSM o dodatkowe stany spoczynkowe i specjalne przejścia.

4. Jeżeli lista stanów jest pusta **zakończ działanie funkcji**, w przeciwnym wypadku przejdź do **kroku 5**.

5. Wybierz następny stan z listy stanów i usuń go z listy.

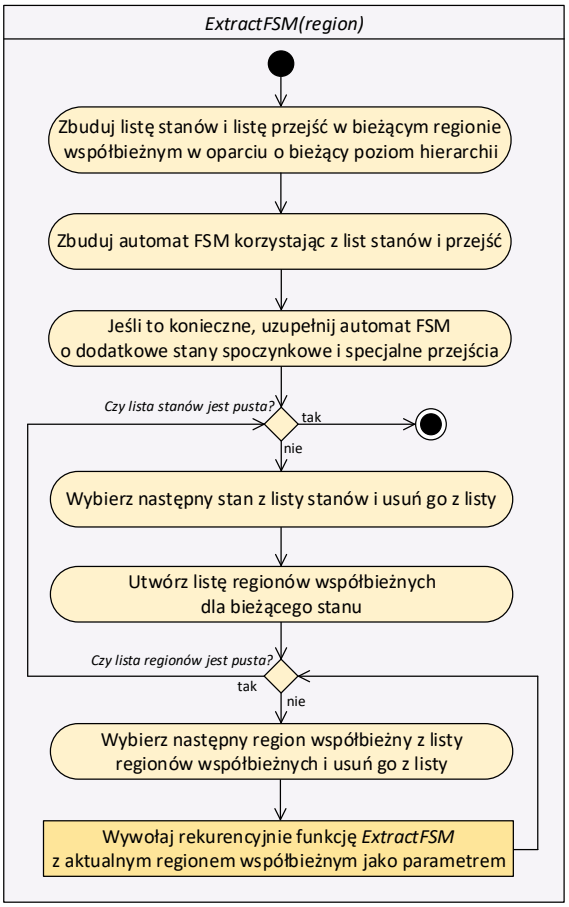
6. Utwórz listę regionów współbieżnych dla bieżącego stanu.

7. Jeżeli lista regionów współbieżnych jest pusta przejdź do **kroku 4**, w przeciwnym wypadku przejdź do **kroku 8**.

8. Wybierz następny region współbieżny z listy regionów współbieżnych i usuń go z listy.

9. Wywołaj funkcję ***ExtractFSM(region)*** z aktualnym regionem współbieżnym jako parametrem.

(a)



(b)

Rys. 2. Algorytm dekompozycji w formie a) pseudokodu oraz b) diagramu czynności UML

W kolejnym kroku metody każdy z automatów FSM (komponentów) jest przekształcany na model kodu, wyrażony w języku opisu sprzętu HDL (ang. *Hardware Description Language*). W efekcie na podstawie behawioralnego i modularnego modelu maszyny stanów UML powstaje zbiór plików w języku Verilog (rys. 1), który następnie może zostać poddany weryfikacji i symulacji, aby upewnić się, czy otrzymana specyfikacja w języku HDL spełnia początkowe wymagania czy nie (w takim przypadku należy cofnąć się do etapu modelowania i nanieść niezbędne poprawki na model maszyny stanowej UML). Jeśli wyniki symulacji potwierdzają poprawność modelu kodu, może on zostać poddany procesowi logicznej syntezy, w wyniku których powstaje tzw. strumień bitów (ang. *bitstream*) niezbędny do zaprogramowania docelowego układu FPGA. Algorytm przekształcenia modelu CFSM na język HDL [A1, A8] jest adaptacją podejścia zaproponowanego przez firmę Xilinx umożliwiającego behawioralny opis automatu FSM w języku Verilog [C14], jednak warto podkreślić, że idea generowania nie *jednego* pliku Verilog zawierającego opis całego systemu, a *zbioru* plików, z których każdy odpowiada za opis jednego ze współbieżnie powiązanych modułów FSM jest już autorskim rozwiązaniem wnioskodawcy. Mimo, że pierwsza wersja algorytmu

translacji automatu FSM na model kodu HDL powstała jeszcze przed uzyskaniem stopnia doktora, to prowadzone po doktoracie dalsze badania i konsultacje (m.in. z Uniwersytetem NOVA w Lizbonie) zaowocowały udoskonaleniem i licznymi modyfikacjami tej metody (głównie w obszarze translacji tzw. pseudostanów historii z maszyny stanów UML). Ostateczna, dojrzała wersja metody translacji została opublikowana w pracy [A8].

Odnosząc się do całej autorskiej metody modelowania części sterującej rekonfigurowalnego systemu CPS, jej główną zaletą, dzięki zastosowaniu podejścia sterowanego modelami (MDD), jest możliwość automatyzacji procesu translacji modelu maszyny stanów UML (zapisanej w języku XML) na model kodu wyrażony w języku opisu sprzętu Verilog. Zastosowane w prezentowanym rozwiązaniu podejście MDD bazuje na sekwencyjnym przekształcaniu modeli, od modeli najbardziej abstrakcyjnych (model maszyny stanowej UML) do modeli związanych z platformą realizacyjną (model kodu w języku HDL), poprzez pośredni model CFSM [A1, A2, A8] (rys. 1). Aby jeszcze lepiej wykorzystać zalety zastosowania podejścia MDD w autorskiej metodzie, opracowane zostało przez wnioskodawcę autorskie narzędzie U_2V (od angielskich słów: *from **U**ML **to V**erilog*), w którym zostały zaimplementowane wszystkie wyżej opisane techniki jak i sama metoda. Pierwsza wersja narzędzia powstała podczas realizacji doktoratu, ale kolejne jego wersje uwzględniają prowadzone badania nad rozbudową metody o inne modele kodu (np. Lingua Franca [C15]) oraz rozszerzenie jej do rekonfigurowalnych systemów CPS. Opis autorskiego narzędzia wraz z porównaniem jego możliwości do innych dostępnych rozwiązań zawarto w pracy [A8].

Innymi ważnymi cechami autorskiej metody jest modularność i syntezowalność wynikowej specyfikacji. Ta ostatnia oznacza w praktyce, że model kodu Verilog nie zawiera niesyntezowalnych konstrukcji języka HDL i może być w konsekwencji w pełni zrealizowany w układzie FPGA (np. w pracy [C12] autorzy stosują wynikowy model kodu zawierający niesyntezowalne konstrukcje języka VHDL, więc nie może być on zaimplementowany, a jedynie służyć wyłącznie do celów np. symulacyjnych). Modularność także warta jest podkreślenia, ponieważ jest to unikalna cecha prezentowanej metody. W zdecydowanej większości podobnych metod wynikowa specyfikacja w języku opisu sprzętu zapisywana jest w jednym pliku (jak np. w pracy [C13]). Takie podejście uniemożliwia częściową rekonfigurację układu FPGA, ponieważ cały system realizowany jest w jednym module. Brak modularności znacząco utrudnia też niezależną weryfikację, analizę czy optymalizację każdego z modułów, a w przypadku znalezienia błędu oznacza konieczność dokonania poprawek w modelu wejściowym i ponownego wygenerowania całego wynikowego modelu kodu, chociaż wystarczające byłoby poprawienie tylko jednego, wadliwego komponentu. Kolejną zaletą proponowanej metody jest zorientowanie jej na rekonfigurowalne systemy CPS. W praktyce oznacza to, że wynikowy model uwzględnia wymagania związane z posiadaniem bezpiecznych stanów pod kątem późniejszej dynamicznej, częściowej rekonfiguracji systemu zrealizowanego w układzie FPGA (szczegółowo omówionej w trzecim obszarze badawczym).

Zdaniem wnioskodawcy opracowana autorska metoda modelowania rekonfigurowalnych systemów CPS jak i zrealizowane narzędzie mogą być bardzo przydatne projektantom systemów CPS (zwłaszcza zorientowanych na ich adaptacyjność) i stanowią znaczny wkład w rozwój dyscypliny *informatyka techniczna i telekomunikacja*. Potwierdzeniem przydatności opracowanej metody oraz narzędzia może być przykład zastosowania ich w obszarze sterowania przekształtnikami matrycowymi czy metodach kształtowania krzywej obciążenia Krajowego Systemu Elektroenergetycznego, których wyniki przedstawiono w interdyscyplinarnych pracach [A5] oraz [A2].

Praca [A2] prezentuje autorską metodę modelowania rekonfigurowalnych systemów CPS zaadaptowaną do opracowania modelu systemu sterującego typu HAN (ang. *Home Area Network*). Głównym celem systemu jest redukcja obciążenia po stronie odbiorcy energii elektrycznej (ang. *Demand Side Management*, DSM). Podejście DSM to jedno z możliwych rozwiązań w sytuacji przeciążenia sieci energetycznej. Dzięki nowatorskiemu algorytmowi redukcji obciążenia, który został opracowany przez wnioskodawcę, możliwe jest automatyczne odłączanie wybranych urządzeń gospodarstwa domowego (np. pralka, lodówka), aby w ten sposób zmniejszyć zużycie energii elektrycznej. System HAN reaguje na specjalne sygnały wysyłane przez dystrybutora energii o zbliżającym się „piku" energetycznym i konieczności redukcji obciążenia. Metoda jest szczególnie skuteczna w przypadku dużej liczby odbiorców energii elektrycznej, a jej wymiernym efektem jest redukcja obciążenia w godzinach szczytu energetycznego [A2]. Wyłączanie poszczególnych urządzeń realizowane jest za zgodą użytkownika, który za te niedogodności otrzymuje np. bonifikatę finansową w rachunku za energię elektryczną. Rozwiązania DSM są od lat

z powodzeniem stosowane na świecie jako skuteczne i efektywne narzędzia do redukcji obciążenia, a proponowany w artykule rekonfigurowalny system CPS typu HAN świetnie się w ten trend wpisuje.

Algorytm sterujący systemem HAN, zgodnie z prezentowaną metodą, został zamodelowany z wykorzystaniem diagramów maszyn stanowych z języka UML, a następnie dzięki wykorzystaniu podejścia MDD przekształcony poprzez pośredni model CFSM do modelu kodu w języku Verilog. Otrzymana specyfikacja Verilog została zweryfikowana za pomocą symulacji, a następnie zrealizowana w układzie FPGA i potwierdzona eksperymentalnie z wykorzystaniem oscyloskopu [A2]. Zawarte w modelu maszyny stanowej UML nowatorskie stany spoczynkowe (zawierające specjalne sygnały sterujące) oraz przejścia związane z tymi stanami pozwalają na bezpieczną, późniejszą, częściową rekonfigurację systemu HAN w przypadku zmiany wymagań początkowych. Oznacza to, że gdy np. zmienią się oczekiwania jednego z użytkowników co do reakcji systemu na przychodzący sygnał oznaczający wysoką cenę za energię elektryczną, możliwa jest dynamiczna częściowa rekonfiguracja systemu bez wpływu na jego działanie dla pozostałych użytkowników (odbiorców).

Prowadzone przez wnioskodawcę badania ([B2], [B4]) wykazały możliwość wykorzystania do modelowania zachowania systemu także innych diagramów z języka UML niż diagramy maszyn stanowych. Jednym z takich diagramów jest diagram czynności. Możliwość użycia go do opisu ogólnego modelu algorytmu sterującego trójfazowym energoelektronicznym przekształtnikiem matrycowym pod kątem jego realizacji w układzie FPGA było także przedmiotem badań wnioskodawcy. Badania te zaowocowały interdyscyplinarną publikacją [A5] i w szczególności dotyczyły opracowania współbieżnego systemu sterowania przemiennikiem częstotliwości z wektorową modulacją sygnałów sterujących osiemnastoma tranzystorami mocy. Opracowany przez wnioskodawcę ogólny model algorytmu sterującego, a także jego wizualizacja graficzna w formie diagramu czynności UML (szerszy opis tego algorytmu wraz z diagramem zaprezentowano w drugim obszarze badawczym) został uzupełniony autorskim modelem analityczno-matematycznym umożliwiającym weryfikację algorytmu pod kątem przyjętych wymagań. Ponadto stworzony przez wnioskodawcę model algorytmu stanowił bazę do opracowania modeli sieci Petriego oraz szczegółowych modeli implementacyjnych.

Warto podkreślić, że badania dotyczące adaptacji autorskiej metody modelowania w obszarach redukcji obciążenia czy sterowania przekształtnikami matrycowymi były efektem współpracy interdyscyplinarnej z dyscypliną naukową *automatyka, elektronika, elektrotechnika i technologie kosmiczne*, przy czym należy zaznaczyć, że prowadzone przez wnioskodawcę prace naukowo-badawcze oraz uzyskane osiągnięcia dotyczą projektowania współbieżnych systemów sterujących oraz części sterującej rekonfigurowalnych systemów CPS (w tym metod modelowania, analizy, realizacji), które jednoznacznie wpisują się w obszar dyscypliny *informatyka techniczna i telekomunikacja* (szersze uzasadnienie znajduje się w podrozdziale 4.4).

Drugi obszar badawczy: Modelowanie i weryfikacja części sterującej systemów CPS z wykorzystaniem sieci Petriego

Drugim obszarem zainteresowań badawczych wnioskodawcy po uzyskaniu stopnia naukowego doktora było zastosowanie sieci Petriego do modelowania i analizy systemów CPS. Tego typu podejście stanowi świetną alternatywę dla języka UML, zwłaszcza w kontekście modelowania systemów współbieżnych, ponieważ sieci Petriego [A6] pozwalają w sposób naturalny i intuicyjny modelować równoległe procesy. Formalnie, sieć Petriego określa graf dwudzielny, którego wierzchołki stanowią miejsca oraz tranzycje połączone łukami. Stany systemu reprezentowane są przez żetony (tokeny), przypisywane do określonych miejsc. Ogromnym atutem sieci Petriego jest rozbudowany aparat matematyczny, wspierający zarówno proces modelowania, analizy oraz weryfikacji systemu już na wczesnym etapie projektowania. Dzięki temu analiza systemu CPS wyrażonego za pomocą sieci Petriego może być efektywnie i skutecznie wykonana z wykorzystaniem różnorodnych metod weryfikacji. Przykładowo, analiza sieci Petriego może być prowadzona pod kątem weryfikacji wybranych cech takiej sieci, jak bezpieczeństwo (ang. *safeness*), ograniczoność (ang. *boundedness*) czy żywotność (ang. *liveness*). Tego typu analiza jest kluczowa do określenia poprawności modelowanego systemu CPS.

Prace realizowane w tym obszarze badawczym dotyczyły przede wszystkim aspektów modelowania oraz analizy systemów CPS specyfikowanych sieciami Petriego. Główne osiągnięcia wnioskodawcy w omawianym obszarze badawczym dotyczą przede wszystkim przygotowania oraz opracowania modeli, będących fundamentem

realizowanych systemów sterowania. Warto podkreślić, że publikacje [A3] oraz [A6] są owocem współpracy interdyscyplinarnej, co zdaniem wnioskodawcy dodatkowo podkreśla wartość oraz praktyczną użyteczność opracowanych technik. Należy jednocześnie dodać, że osiągnięcia wnioskodawcy w tym obszarze dotyczą opracowania autorskich modeli, metod oraz algorytmów, dlatego też jednoznacznie wpisują się w dyscyplinę *informatyka techniczna i telekomunikacja* (szczegółowe informacje zawarto w podrozdziale 4.4).

Publikacja [A3] koncentruje się przede wszystkim na aspektach specyfikacji systemu CPS z zastosowaniem sieci Petriego. Przedmiotem badań był tu trójfazowy energoelektroniczny przekształtnik matrycowy, dla którego wnioskodawca opracował najpierw autorski model analityczno-matematyczny systemu sterowania, a następnie na jego bazie ogólny model algorytmu sterowania przemiennikiem częstotliwości z wektorową modulacją sygnałów sterujących osiemnastoma tranzystorami mocy [A4], będący podstawą formalnej specyfikacji systemu z zastosowaniem sieci Petriego. Uproszczony, ogólny model algorytmu sterowania w formie pseudokodu [A4] wraz z odpowiadającym mu diagramem czynności [A5] zaprezentowano na rys. 3. W algorytmie pominięto szczegóły dot. sposobu obliczeń poszczególnych wartości zmiennych – szczegółowy opis wraz z niezbędnym wprowadzeniem teoretycznym i formalizmami znajduje się w pracach [A4] oraz [A5]. Algorytm składa się z 6 głównych etapów. Na podstawie chwilowych wartości napięć obciążenia u_{ab}, u_{bc}, u_{ca} i prądów źródłowych i_A, i_B, i_C obliczane są równocześnie części rzeczywiste i urojone dla wektorów przestrzennych $\underline{u}_{OL}$ oraz $\underline{i}_S$. Następnie obliczany jest kąt α dla wektora $\underline{u}_{OL}$ oraz w tym samym czasie obliczany jest kąt β dla wektora $\underline{i}_S$. Do tych obliczeń niezbędne jest także oszacowanie sektora S_O (dla kąta α) oraz S_i (analogicznie dla kąta β), a także finalne znormalizowanie obu kątów. Obliczenie wartości obu tych kątów jest konieczne do realizacji kolejnego kroku, w którym ponownie równolegle obliczane są 4 współczynniki modulacyjne d_I, d_{II}, d_{III} oraz d_{IV}. Następnie niezależnie dla każdej linii wyjściowej (A, B, C) obliczane są sygnały wyjściowe PWM: S_{aA}, S_{aB}, S_{aC}, S_{bA}, S_{bB}, S_{bC}, S_{cA}, S_{cB}, S_{cC}. W ostatnim kroku generowanych jest jednocześnie 18 sygnałów komutacji wyjściowej: T_{aA1}, T_{aA2}, T_{aB1}, T_{aB2}, T_{aC1}, T_{aC2}, T_{bA1}, T_{bA2}, T_{bB1}, T_{bB2}, T_{BC1}, T_{BC2}, T_{cA1}, T_{cA2}, T_{cB1}, T_{cB2}, T_{cC1}, T_{aC2}.

Algorytm 2. Obliczenie wyjściowych wzorców PWM

Wejście: napięcia obciążenia u_{ab}, u_{bc}, u_{ca}, prądy źródłowe i_A, i_B, i_C, wzmocnienie napięciowe q, wejściowy kąt ϕ_i
Wyjście: 18 wzorców PWM dla tranzystorów T_{aA1}, T_{aA2}, . . . , T_{cC1}, T_{cC2}

1. Ustawienie chwilowych wartości napięć obciążenia u_{ab}, u_{bc}, u_{ca} i prądów źródłowych i_A, i_B, i_C.

2. Równoczesne obliczenie części rzeczywistej i urojonej dla wektorów przestrzennych $\underline{u}_{OL}$ oraz $\underline{i}_S$:

   2a. Obliczenie części rzeczywistej wektora $\underline{u}_{OL}$.
   2b. Obliczenie części urojonej wektora $\underline{u}_{OL}$.
   2c. Obliczenie części rzeczywistej wektora $\underline{i}_S$.
   2d. Obliczenie części urojonej wektora $\underline{i}_S$.

3. Równoczesne obliczenie kąta α dla wektora $\underline{u}_{OL}$ oraz kąta β dla wektora $\underline{i}_S$:

   3a-1. Obliczenie kąta α między częścią rzeczywistą i urojoną wektora $\underline{u}_{OL}$.
   3a-2. Obliczenie sektora S_O (w oparciu o kąt α).
   3a-3. Normalizacja kąta α na podstawie sektora S_O.

   3b-1. Obliczenie kąta β między częścią rzeczywistą i urojoną wektora $\underline{i}_S$.
   3b-2. Obliczenie sektora S_i (w oparciu o kąt β).
   3b-3. Normalizacja kąta β na podstawie sektora S_i.

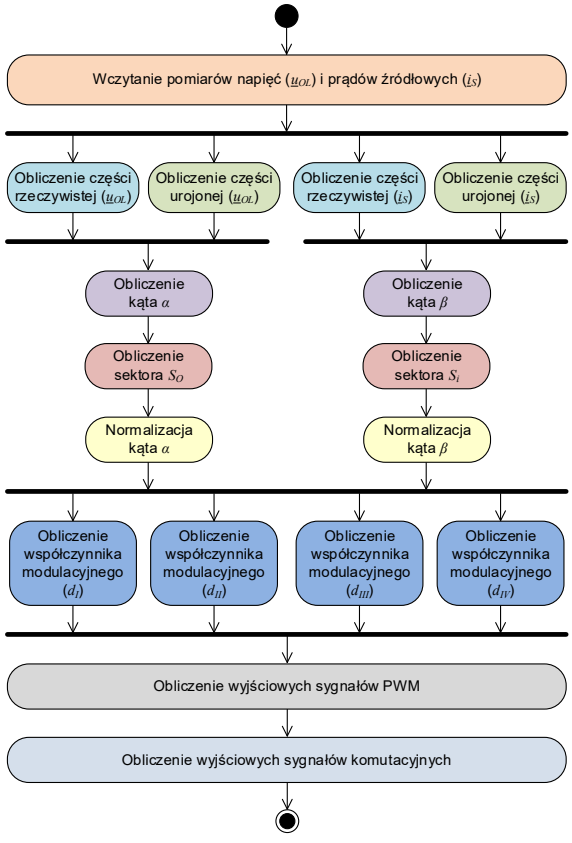
4. Równoczesne obliczenie współczynników modulacyjnych d_I, d_{II}, d_{III} oraz d_{IV}:

   4a. Obliczenie współczynnika modulacyjnego d_I,
   4b. Obliczenie współczynnika modulacyjnego d_{II},
   4c. Obliczenie współczynnika modulacyjnego d_{III},
   4d. Obliczenie współczynnika modulacyjnego d_{IV}.

5. Obliczenie sygnałów wyjściowych PWM S_{aA}, . . . , S_{cC}.

6. Równoczesne obliczenie 18 sygnałów komutacyjnych T_{aA1}, T_{aA2}, . . . , T_{cC1}, T_{cC2}.

(a)

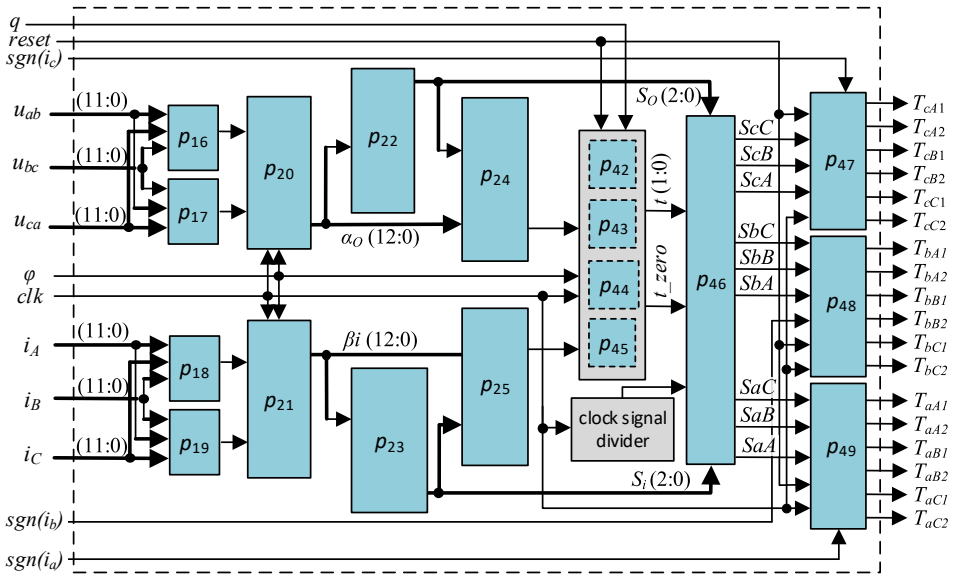


(b)

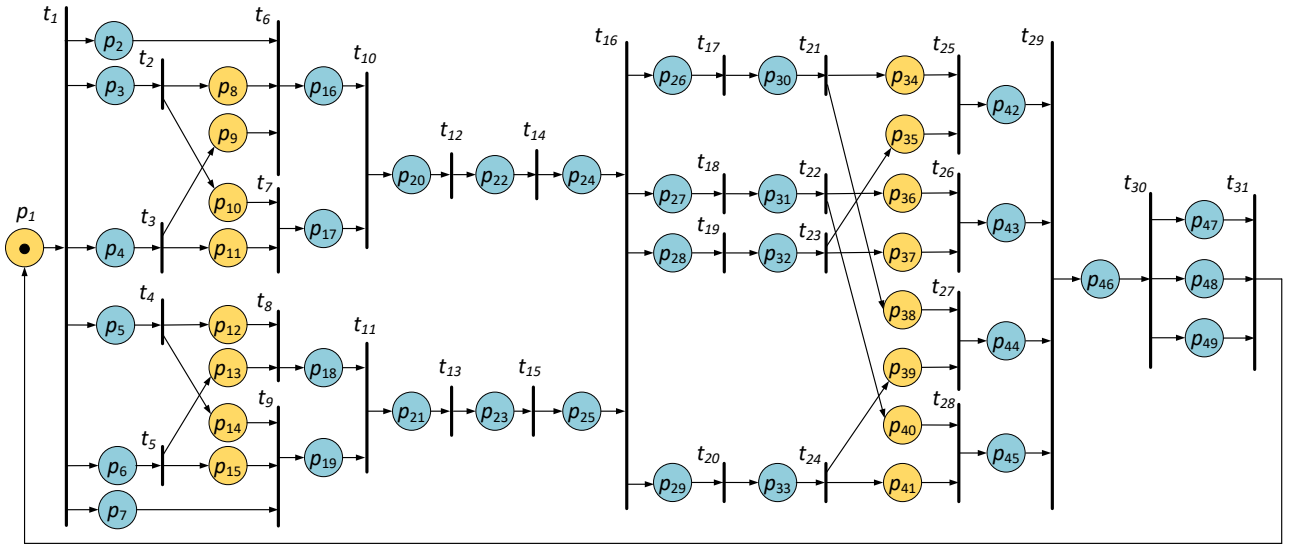
Rys. 3. Algorytm sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym w formie a) pseudokodu oraz b) diagramu czynności UML

Na potrzeby modelowania system sterowania został podzielony na bloki (moduły), z których każdy realizował inne zadanie. Opracowany przez wnioskodawcę ogólny model algorytmu sterującego posłużył także do identyfikacji tych bloków (zadań), które mogły zostać zrównoleglone i tym samym zwiększyć efektywność realizacji algorytmu sterującego. Wprowadzoną do algorytmu współbieżność dobrze uwidacznia diagram czynności UML (rys. 3b), w którym aż 11 z 14 czynności (zadań) realizowanych jest równolegle. To właśnie współbieżność systemu okazała się kluczowa w kontekście badań eksperymentalnych. Klasyczne podejście, bazujące na wykorzystaniu programowalnych sterowników logicznych (ang. *Programmable Logic Controller*, PLC) często okazywało się nieefektywne ze względu na czas obliczeń. Dlatego też, głównym celem opracowanego oraz zrealizowanego systemu sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym było zrównoleglenie obliczeń, co w konsekwencji pozwoliło uzyskać znacznie sprawniejszy system (w kontekście czasu obliczeń), w porównaniu do rozwiązań implementowanych za pomocą sterowników PLC. Opracowany przez wnioskodawcę model algorytmu sterującego jak i model analityczno-matematyczny stanowiły podstawę dla formalnego opisu systemu za pomocą sieci Petriego oraz jego późniejszej realizacji w strukturach reprogramowalnych (zrealizowanych przez współautorów artykułu). Warto nadmienić, że wnioskodawca odpowiedzialny był także za finalną walidację poprawności (z wykorzystaniem oscyloskopu) systemu CPS zrealizowanego w układzie FPGA, sterującego trójfazowym przekształtnikiem matrycowym.

Publikacja [A6] stanowi swoiste rozwinięcie koncepcji pokazanej w [A3]. Poza aspektami modelowania, zaproponowano techniki umożliwiające analizę (m.in. klasyfikacja sieci Petriego, określenie liczby stanów osiągalnych, pokrycia przez składowe automatowe, czy liczby inwariantów miejsc sieci) oraz formalną weryfikację specyfikowanego systemu (żywotność, bezpieczeństwo sieci). W szczególności, metoda obejmowała opracowanie modelu analityczno-matematycznego (będącego podstawą specyfikacji systemu CPS za pomocą sieci Petriego), formalną weryfikację oraz analizę systemu, opracowanie modelu systemu w języku opisu sprzętu, programową walidację modelu, realizację systemu w układzie FPGA oraz finalną walidację sprzętową zrealizowanego systemu CPS. Autorskim wkładem Wnioskodawcy było m.in. opracowanie modelu analityczno-matematycznego oraz diagramu (algorytmu) prezentującego proponowaną metodę projektowania części sterującej systemu CPS. Ponadto wnioskodawca przygotował w formie diagramu model sprzętowej realizacji systemu CPS sterującego trójfazowym energoelektronicznym przekształtnikiem matrycowym zaprezentowanym na rys. 4 (szczegółowe znaczenie poszczególnych bloków umieszczonych na diagramie znajduje się w pracy [A6]), który był podstawą do późniejszej realizacji systemu w strukturach reprogramowalnych z wykorzystaniem języka opisu sprzętu Verilog. Diagram ten stanowił podstawę formalnej specyfikacji systemu za pomocą sieci Petriego (opracowanej przez innego współautora i poglądowo pokazanej na rys. 5), jak również późniejszej analizy oraz formalnej weryfikacji, a także walidacji sprzętowej zrealizowanego systemu CPS w układzie FPGA.



Rys. 4. Diagram przedstawiający model sprzętowej realizacji systemu CPS sterującego trójfazowym energoelektronicznym przekształtnikiem matrycowym



Rys. 5. Sieć Petriego dla algorytmu sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym

Praca [A7] koncentruje się na analizie własności bezpieczeństwa systemów CPS modelowanych siecią Petriego. W przypadku sieci Petriego bezpieczeństwo oznacza, że dane miejsce może zawierać maksymalnie jeden znacznik w każdym osiągalnym znakowaniu. Analiza tej własności jest szczególnie istotna w przypadku systemów zorientowanych na realizację sprzętową (np. z zastosowaniem układów FPGA). W ramach prac związanych z artykułem, wnioskodawca przeprowadził gruntowną analizę istniejących metod analizy sieci Petriego oraz przeprowadził dyskusję dot. możliwości zastosowania wybranych z nich do analizy systemów CPS modelowanych sieciami Petriego. Uzyskane wyniki były bazą do opracowania nowatorskiej metody analizy bezpieczeństwa sieci Petriego z zastosowaniem zredukowanego zbioru składowych automatowych wystarczających do pokrycia systemu. Celem zrealizowanej koncepcji była redukcja czasu obliczeń (wydajność) względem istniejących metod (referencyjnych), przy zachowaniu poprawności wyników (skuteczność). Zaproponowany algorytm poszukuje rozwiązania do momentu właściwego pokrycia sieci poprzez składowe automatowe, co pozwala znacząco skrócić czas obliczeń. Ponadto, w proponowanej metodzie zastosowano techniki redukcji sieci Petriego (scalanie kolejnych miejsc, ang. *Fusion of Series Places* oraz scalanie kolejnych tranzycji, ang. *Fusion of Series Transitions*), co znacząco podniosło efektywność działania całego algorytmu. Założenia analityczne zostały potwierdzone przez badania eksperymentalne, wykonane z wykorzystaniem 242 benchmarków (sieci testowych). Proponowana metoda okazała się nie tylko wydajna, ale i skuteczna, znajdując rozwiązanie dla wszystkich testowanych sieci, podczas gdy referencyjna metoda klasyczna (algorytm „Martinez-Silva" szczegółowo opisany w [A7]) nie zawsze była w stanie ukończyć obliczeń badanych sieci w przeciągu jednej godziny.

Rezultaty uzyskane w pracach [A3, A6, A7] były inspiracją do dalszych badań nad wykorzystaniem do opisu zachowania systemu CPS zarówno sieci Petriego jak i diagramów stanów (w tym diagramów maszyn stanowych z języka UML). Zastosowanie obu tych modeli (tzw. dualna specyfikacja) do specyfikacji systemu sterującego (w tym CPS) daje możliwość skorzystania z zalet obu tych notacji rekompensując braki związane z wykorzystaniem tylko jednej z nich. Okazuje się bowiem, że połączenie cech intuicyjnego modelowania hierarchicznych i współbieżnych systemów za pomocą diagramów maszyny stanowej UML czy możliwości automatycznego przekształcenia modelu UML do modelu kodu oraz efektywnych metod analizy i walidacji modeli wyrażonych za pomocą sieci Petriego może przynieść wymierne korzyści projektowe. Wyniki dotyczące wykorzystania w jednym projekcie różnych modeli (sieci Petriego, diagramy UML, automaty FSM) opublikowano m.in. w pracach [B6] oraz [B18]. Badania prowadzone były wspólnie z naukowcami z Uniwersytetu w Lizbonie oraz Uniwersytetu w Walencji. W przypadku uniwersytetu z Hiszpanii, badania koncentrowały się na zastosowaniu tego podejścia w systemach o rygorystycznych ograniczeniach dot. bezpieczeństwa (ang. *safety-critical systems*) [B6].

Trzeci obszar badawczy: Realizacja części sterującej rzeczywistych, rekonfigurowalnych systemów CPS w reprogramowalnych układach FPGA

Kolejnym ważnym aspektem badawczym podejmowanym po uzyskaniu stopnia naukowego doktora były prace aplikacyjne i wdrożeniowe, koncentrujące się na realizacji opracowanej metody w realnych systemach cyber-fizycznych (w tym współbieżnych systemach sterujących), np. popularnych „inteligentnych" systemach typu *smart home*. Ważnym założeniem dotyczącym implementacji tych systemów jest możliwość ich późniejszej dynamicznej częściowej rekonfiguracji (wymiana części algorytmu sterującego bez wyłączania układu). Taka dynamiczna zmiana zaimplementowanego w układzie algorytmu może być bardzo przydatna w przypadku, gdy już po zrealizowaniu systemu CPS w układzie FPGA może okazać się, że początkowe wymagania systemu CPS uległy zmianie (np. z powodu zmian w otoczeniu systemu), a wyłączenie działającego już systemu może być bardzo trudne, kosztowne lub nawet niebezpieczne (np. w systemach sterujących urządzeniami medycznymi). Wtedy częściowa rekonfiguracja układu FPGA zrealizowana dynamicznie, czyli bez wyłączenia działającego systemu może być idealnym rozwiązaniem. Wymaga to jednak uwzględnienia już na etapie modelowania systemu CPS specjalnych wymagań związanych z późniejszym bezpiecznym przeprowadzeniem operacji dynamicznej rekonfiguracji układu. Podczas wymiany wybranego modułu (fragmentu algorytmu) trzeba mieć bowiem pewność, że wymieniany moduł jest nieaktywny, a sterowanie zostało przekazane do stanów *bezpiecznych*. Niekontrolowane wyjście z tych stanów może spowodować nieprzewidywalne lub błędne działanie systemu, co w przypadku np. systemów medycznych może być katastrofalne w skutkach. Należy więc nie tylko zadbać o dodanie takich bezpiecznych stanów, ale także mechanizmu osiągania i opuszczania tych stanów na potrzeby rekonfiguracji układu (najczęściej wykorzystywane są do tego celu specjalne sygnały sterujące dodawane na etapie modelowania systemu).

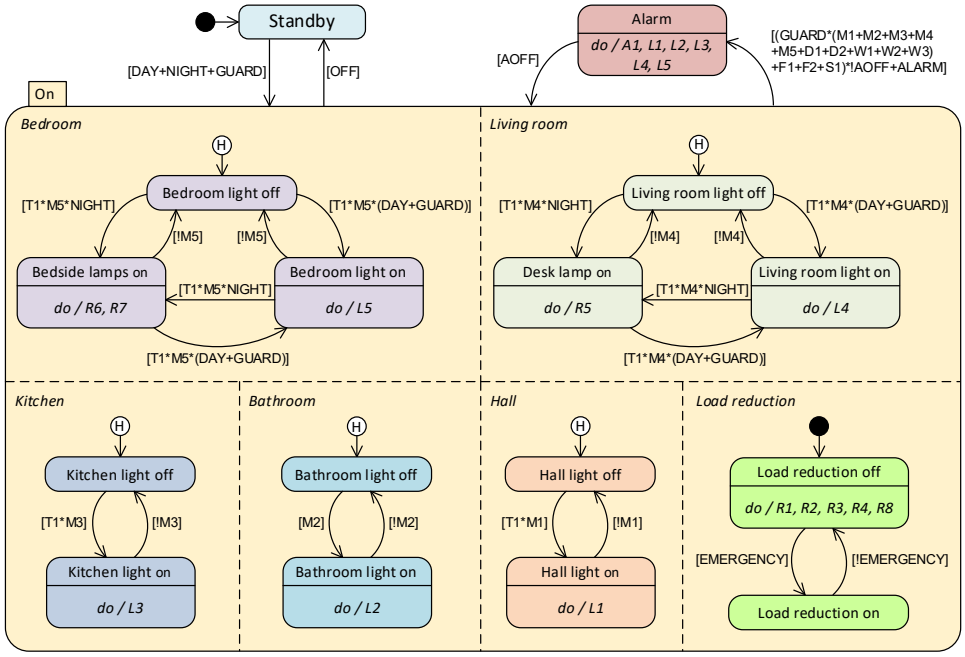
Opracowana autorska metoda bardzo dobrze wpisuje się w tę potrzebę. Rolę bezpiecznych stanów w proponowanym podejściu pełnią stany spoczynkowe (ang. *idle states*), dodawane do modelu CFSM wraz ze specjalnymi sygnałami wejściowymi i wyjściowymi na etapie dekompozycji maszyny stanów UML. Tym samym można stwierdzić dużą przydatność autorskiej metody do modelowania rekonfigurowalnych systemów CPS implementowanych w układach FPGA, pod kątem późniejszej, częściowej rekonfiguracji układu i wymiany wybranego modułu (także w trakcie aktywności pozostałych). Elementy naukowo-badawcze dotyczące zagadnień realizacji części sterującej systemów CPS (w tym rekonfigurowalnych systemów CPS) oraz współbieżnych systemów sterujących w reprogramowalnych układach FPGA są obecne w prawie wszystkich pracach wnioskodawcy wykazanych we wniosku jako osiągnięcie naukowe. Poniżej szczegółowo opisano wybrane z nich.

W pracach [A1] oraz [A8] oprócz opracowania samej metody projektowania rekonfigurowalnych systemów CPS (w tym współbieżnych systemów sterujących) z zastosowaniem diagramów UML, wnioskodawca zrealizował przykład realnego, współbieżnego systemu CPS sterującego zasilaniem, oświetleniem i urządzeniami AGD w typowym mieszkaniu (system typu smart home). Cele zrealizowanego systemu to: zwiększenie komfortu domowników (poprzez automatyczne włączanie lub wyłączanie oświetlenia w pomieszczeniach na podstawie detekcji ruchu lub czujników zmierzchu), zwiększenie bezpieczeństwa (poprzez alarmowanie domowników w przypadku wykrycia pożaru, zalania lub włamania, dzięki zamontowanym czujnikom ruchu, dymu, zalania, otwarcia okien i drzwi), a także redukcji zużycia energii (poprzez reakcję na specjalny sygnał pochodzący od operatora systemu energetycznego żądającego natychmiastowego wyłączenia wybranych urządzeń AGD). Szczegółowy opis wymagań tego systemu wraz z charakterystyką wszystkich sygnałów wejściowych i wyjściowych znajduje się w załączniku A w pracy [A8] (modele systemów z prac [A1] oraz [A8] nieco się różną – ten drugi zawiera bowiem w modelu UML pseudostany historii wykorzystane do zapamiętywania poprzednio aktywnych stanów po powrocie ze stanu awarii, niemniej jednak wymagania opisane w [A8] są spójne dla obu tych systemów).

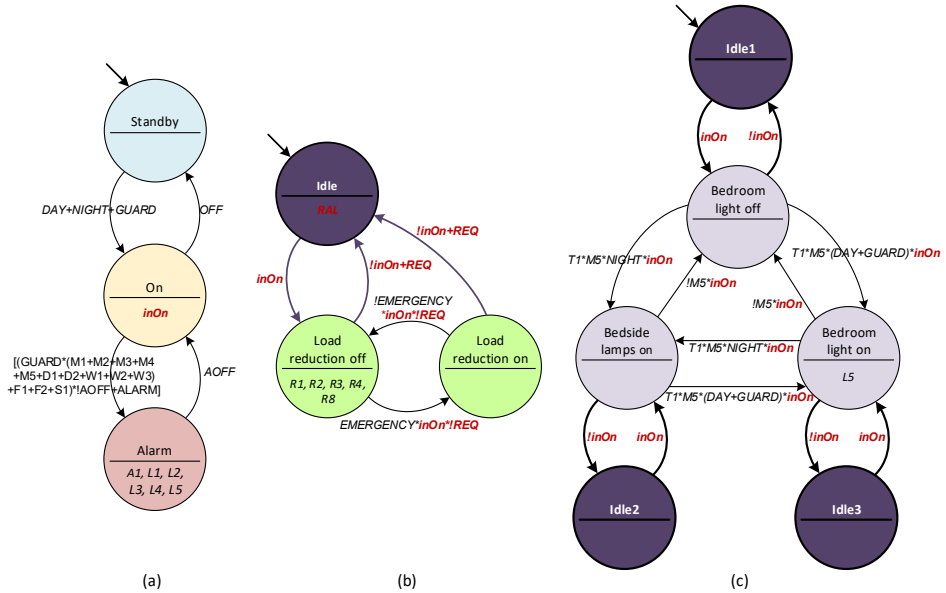
Zdefiniowane wymagania systemu CPS typu smart home były podstawą do opracowania hierarchicznej i współbieżnej maszyny stanów wyrażonej w formie diagramu maszyny stanowej UML (rys. 6). Diagram ten składa się 3 stanów na najwyższym poziomie hierarchii – 2 z nich („Standby" oraz „Alarm") to stany proste, a stan „On" to stan złożony zawierający 6 regionów (obszarów) współbieżnych. Każdy z tych regionów odpowiada za sterowanie jednym z pomieszczeń mieszkania, za wyjątkiem regionu „Load reducing", którego celem jest zarządzanie obciążeniem (w momencie przeciążenia sieci energetycznej, dostawca prądu wysyła do systemu

specjalny sygnał *EMERGENCY* oznaczający pilną konieczność redukcji obciążenia u końcowego odbiorcy, a więc wyłączenie określonych wcześniej urządzeń AGD – w analizowanym przykładzie są to lodówka, zmywarka, zamrażarka, klimatyzacja i pralka).

Kolejnym etapem po utworzeniu modelu systemu CPS jest dekompozycja maszyny stanów UML na sieć współbieżnie działających, komunikujących się ze sobą automatów FSM (rys. 1). Dzięki zastosowaniu podejścia MDD ten proces może być realizowany automatycznie. Zastosowany algorytm dekompozycji (z rys. 2) wydzielił z maszyny stanów jeden automat FSM pełniący rolę nadrzędną i sześć automatów podrzędnych – każdy odpowiadający jednemu regionowi współbieżnemu w stanie złożonym „On". Na rys. 7a zaprezentowano automat nadrzędny, a na rys. 7b i 7c dwa wybrane automaty podrzędne – jeden dot. zarządzania obciążeniem („Load reduction") i drugi odpowiadający za sterowanie oświetleniem w sypialni („Bedroom"). Warto zwrócić uwagę na stany spoczynkowe „Idle". W automacie FSM „Bedroom" (rys. 7c) konieczne było utworzenie 3 takich stanów ze względu na zawarty w danym regionie współbieżnym pseudostan historii. Dzięki temu po ponownej aktywności stanu „On" (np. po dezaktywacji alarmu lub wyjściu ze stanu „Standby") system powróci do ostatnich aktywnych stanów (np. włączone będzie to samo oświetlenie, włączona będzie lodówka itp.).



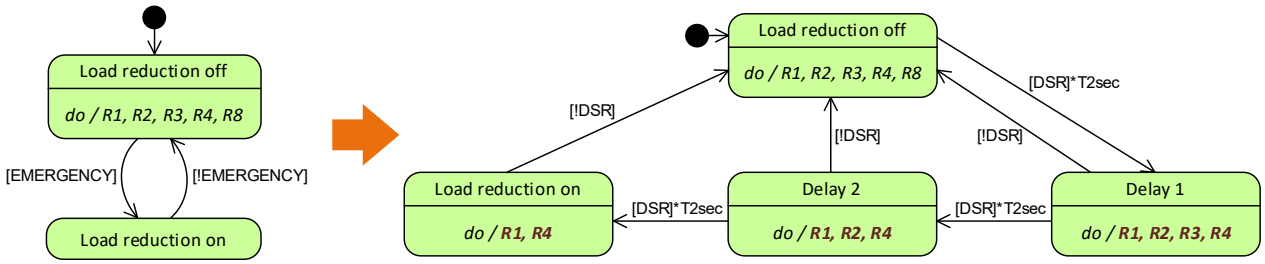
Rys. 6. Diagram maszyny stanowej UML dla systemu CPS typu smart home



Rys. 7. Zdekomponowane automaty FSM a) nadrzędny oraz podrzędne: b) „Load reduction" c) „Bedroom"

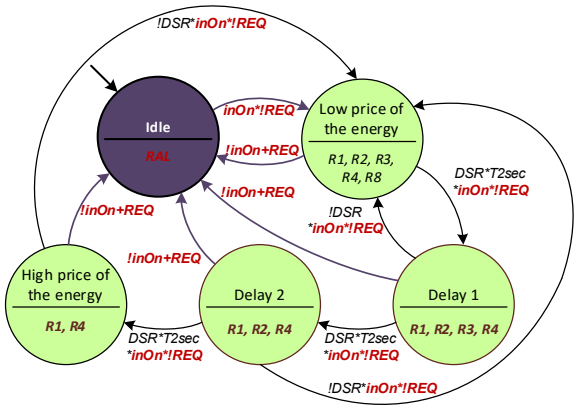
Kolejny etap wg proponowanej metody to automatyczna translacja automatów FSM na język opisu sprzętu (tu wybrano język Verilog), a następnie symulacja programowa całego systemu. Jeżeli etap walidacji systemu zakończy się sukcesem, realizowany jest kolejny etap metody jakim jest synteza logiczna. Etap ten wykonywany jest z wykorzystaniem zewnętrznych narzędzi dedykowanych dla konkretnych układów FPGA (tu: Xilinx Artix-7). Po wygenerowaniu pełnego strumienia bitów (bitstream) następuje zaprogramowanie (rekonfiguracja) docelowego układu FPGA i system CPS jest gotowy do pracy.

Załóżmy, że po kilku tygodniach pracy takiego systemu użytkownik chciałby zmienić sposób działania jednego z modułów, np. modułu „Load reduction" odpowiedzialnego za wyłączenia urządzeń AGD z powodu przeciążenia sieci energetycznej. Konkretnie, zamiast dwóch stanów w tym regionie (rys. 6) użytkownik chciałby wprowadzić 4 stany, aby dodać opóźnienia w wyłączaniu poszczególnych urządzeń AGD (rys. 8).



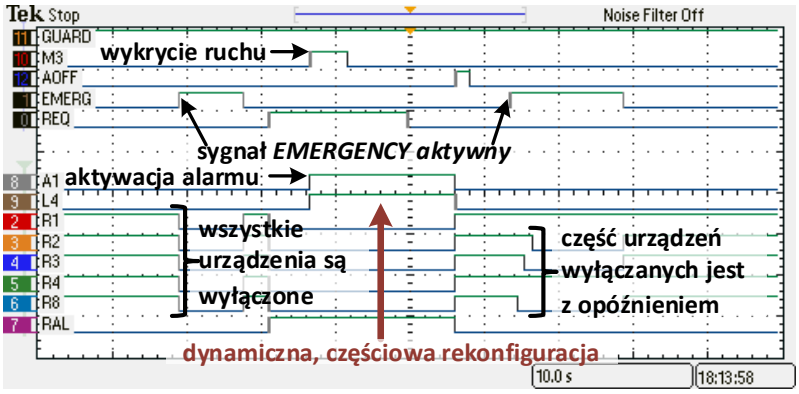
Rys. 8. Zmiana modułu „Load reduction"

Zgodnie z przedstawioną na rys. 1 ścieżką projektowania (dolna część rysunku dot. zmienionych wymagań systemu CPS), tak zamodelowany moduł w formie maszyny stanów UML należy przekształcić (zdekomponować) na automat FSM, uzupełniając go o niezbędne przejścia i stan spoczynkowy (rys. 9).



Rys. 9. Automat FSM dla zmodyfikowanego modułu „Load reduction"

W kolejnym kroku następuje translacja automatu FSM na opis w języku Verilog. Po wykonaniu symulacji programowej zmodyfikowanego modułu i uzyskaniu prawidłowych wyników walidacji, moduł może być następnie poddany procesowi syntezy, dzięki któremu otrzymujemy tzw. częściowy bitstream. Ostatnim etapem tej ścieżki projektowej jest dynamiczna, częściowa rekonfiguracja układu FPGA w czasie działania systemu CPS (typu smart home). Wnioskodawca przeprowadził badania eksperymentalne systemu CPS, w tym implementację sterownika systemu smart home w układzie FPGA, a także wykonał jego dynamiczną, częściową rekonfigurację. Otrzymane wyniki, w tym pomiary z użyciem oscyloskopu (rys. 10), potwierdziły poprawność opracowanej metody oraz prawidłowe działanie systemu podczas procesu dynamicznej, częściowej rekonfiguracji (wyniki tych badań wraz z ich analizą zawarto zarówno w pracy [A1] jak i [A8]). Warto zauważyć, że moment wykonania dynamicznej, częściowej rekonfiguracji został wybrany nieprzypadkowo w chwili, kiedy system był pełnił rolę systemu antywłamaniowego i nastąpiło wykrycie ruchu, co spowodowało aktywację alarmu. Takie zachowanie systemu dowodzi, że działa on zgodnie z założeniami, a proces rekonfiguracji dotyczy tylko modyfikowanego modułu, bez wpływu na działanie pozostałych komponentów systemu CPS.



Rys. 10. Wyniki badań eksperymentalnych dot. dynamicznej, częściowej rekonfiguracji systemu CPS

Innym przykładem realnego, rekonfigurowalnego systemu CPS zaprojektowanego i zrealizowanego przez wnioskodawcę zgodnie z opracowaną autorską metodą był system HAN (ang. *Home Area Network*) [A2], którego celem było zarządzanie obciążeniem u użytkownika końcowego. Algorytm sterowania bazował na podejściu DSM i umożliwiał redukcję obciążenia (zużycia energii elektrycznej) na postawie specjalnych sygnałów pochodzących od operatora energii elektrycznej i dostarczanych do systemu HAN poprzez tzw. agregatora (np. sprzedawcę prądu). Wspomniana redukcja obciążenia realizowana była poprzez wyłączanie lub blokowanie przed ponownym włączeniem wybranych urządzeń typu AGD podłączonych do systemu, np. pralki czy lodówki. Zastosowanie tego typu systemu na dużą skalę (instalacja proponowanego systemu HAN dla np. 500 tys. odbiorców) może przynieść zauważalną redukcję zużycia energii w całym systemie energetycznym (szczegółowe oszacowania możliwej do uzyskania redukcji mocy zostały opracowane przez drugiego współautora i umieszczone w artykule [A2]).

Dzięki zastosowaniu proponowanej metody, system HAN został przygotowany pod kątem późniejszej dynamicznej, częściowej rekonfiguracji, co także zostało zweryfikowane przez wnioskodawcę eksperymentalnie (z użyciem oscyloskopu) i opisane w artykule. Jako docelowy układ FPGA wybrano XC7A100T-1CSG324C firmy Xilinx dostępny na płytce prototypowej Nexys 4 DDR firmy Digilent. Warto zauważyć, że system opracowany w pracy [A2], w czasach ciągłego wzrostu zapotrzebowania przemysłu i konsumentów na energię elektryczną oraz ryzyko przeciążenia sieci energetycznej, a w konsekwencji wyłączenia prądu dla danego obszaru (ang. *blackout*) dobrze wpisuje się w obecne potrzeby i trendy badawcze dotyczące zarządzania obciążeniem u końcowego odbiorcy.

Należy także wspomnieć, że oprócz opracowanego przez wnioskodawcę modelu systemu i przeprowadzonej walidacji sprzętowej, w celu przeprowadzenia przez wnioskodawcę badań eksperymentalnych zaprojektowano i wykonano specjalną makietę systemu (makieta została wykonana przez drugiego współautora artykułu). Był to wynik interdyscyplinarnej współpracy z dyscypliną naukową *automatyka, elektronika, elektrotechnika i technologie kosmiczne*, przy czym wkład wnioskodawcy w artykuł [A2] dotyczył osiągnięć jednoznacznie związanych z dyscypliną *informatyka techniczna i telekomunikacja* (szersze uzasadnienie zawarto w podrozdziale 4.4).

Kolejnym przykładem realnego systemu CPS implementowanego w reprogramowalnych strukturach FPGA jest system sterujący trójfazowym energoelektronicznym przekształtnikiem matrycowym [A3-A6]. Jest to kolejny efekt współpracy interdyscyplinarnej z dyscypliną naukową *automatyka, elektronika, elektrotechnika i technologie kosmiczne*. Potrzeba opracowania takiego systemu wyszła właśnie z ww. dyscypliny, ponieważ dotychczasowe sposoby realizacji algorytmów sterujących energoelektronicznymi przekształtnikami z zastosowaniem cyfrowych procesorów sygnałowych (ang. *Digital Signal Processor*, DSP) lub sterowników PLC okazały się nieefektywne. Dlatego wspólnie z innymi naukowcami (współautorami prac [A3-A6]) podjęto próbę opracowania takiego systemu, ale realizowanego w szybkich, nowoczesnych układach reprogramowalnych FPGA. Pozwoliło to na efektywne odwzorowanie współbieżności realizowanych operacji, ale też wymagało opracowania nowej koncepcji współbieżnego systemu sterowania przemiennikiem częstotliwości z wektorową modulacją sygnałów sterujących osiemnastoma tranzystorami mocy, do której wnioskodawca wniósł m.in. autorski ogólny model algorytmu sterowania oraz autorski model analityczno-matematyczny tego systemu. W ramach prac na realizacją tego projektu, wnioskodawca był także odpowiedzialny za praktyczną, sprzętową walidację systemu. W tym celu

wnioskodawca przygotowywał stanowiska badawcze (składające się między innymi z oscyloskopu oraz wybranego układu FPGA osadzonego na platformie prototypowej), opracował scenariusze testowe i wykonał praktyczne walidacje poprawności zrealizowanych systemów. W badaniach użyto układów FPGA firmy Xilinx z serii Artix-7. W pracach [A3] oraz [A5] docelowym układem FPGA, na którym wnioskodawca przeprowadził badania eksperymentalne był układ XC7A100T-1CSG324C (dostępny na platformie prototypowej Nexys 4 DDR firmy Digilent), a w pracach [A4], [A5] oraz [A6] wykorzystano niedrogi układ typu „low-cost" XC7A35T-1CPG236C (umieszczony na platformie Basys 3 firmy Digilent).

4.4. Podsumowanie oryginalnych osiągnięć naukowych stanowiących znaczny wkład w rozwój dyscypliny *informatyka techniczna i telekomunikacja*

Prace naukowo-badawcze prowadzone przez wnioskodawcę realizowane były głównie w dyscyplinie naukowej *informatyka techniczna i telekomunikacja* (ITiT), którą wnioskodawca reprezentuje. Jednak w ramach badań naukowych wnioskodawca aktywnie współpracował z naukowcami (polskimi i zagranicznymi) reprezentującymi także inne dyscypliny naukowe, głównie *automatyka, elektronika, elektrotechnika i technologie kosmiczne* (AEEiTK). Powstałe w ten sposób wspólne prace naukowe są wynikiem tej interdyscyplinarnej współpracy.

Przykładem takich interdyscyplinarnych badań była próba zaadoptowania podejścia zarządzania obciążeniem u użytkownika końcowego (ang. *Demand Side Management*, DSM) w polskich warunkach systemu energetycznego poprzez opracowanie systemu typu HAN sterującego wybranymi urządzeniami AGD w mieszkaniu użytkownika. Owocem tych badań jest praca [A2], w której każdy z autorów wniósł do artykułu wkład ze swojej dyscypliny naukowej. Wnioskodawca (w ramach dyscypliny ITiT) m.in. zamodelował algorytm sterowania systemu HAN (w tym algorytm redukcji obciążenia), a następnie zrealizował go w układzie FPGA, a współautor pracy (reprezentujący dyscyplinę AEEiTK) opracował zagadnienia z zakresu energetyki, analiz ekonomicznych oraz wykonał laboratoryjne stanowisko pomiarowe (makietę systemu).

Podobnie było w przypadku badań dotyczących opracowania współbieżnego systemu sterowania przemiennikiem częstotliwości z wektorową modulacją sygnałów sterujących osiemnastoma tranzystorami mocy. W ramach tej interdyscyplinarnej współpracy, której owocem były publikacje [A3-A6], wnioskodawca zrealizował swoje zadania badawcze wpisujące się w dyscyplinę ITiT polegające m.in. na opracowaniu różnego typu algorytmów, w tym np. ogólnego algorytmu sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym [A4], a także wersji ww. algorytmu pod kątem realizacji w układzie typu „low-cost" [A5] wyrażonego w formie diagramu aktywności UML [A5] i diagramu typu „workflow" [A6]. Ponadto wnioskodawca opracował modele analityczno-matematyczne systemu sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym [A3, A4], w tym także pod kątem realizacji w układzie typu „low-cost" [A5]. Zadaniem wnioskodawcy było także przygotowanie stanowisk badawczych [A3-A6] i przeprowadzenie praktycznej walidacji (z wykorzystaniem oscyloskopu) poprawności systemu zaprogramowanego w układach FPGA [A3-A6]. W ramach prowadzonych badań wnioskodawca odpowiedzialny był także za przeprowadzenie analizy oraz dyskusji zakresu stosowalności opracowanej metody [A5] czy analizy możliwości zastosowania graficznej specyfikacji systemów cyber-fizycznych (z uwzględnieniem diagramów UML) [A6]. Pozostali współautorzy (reprezentujący m.in. dyscyplinę AEEiTK) byli odpowiedzialni za realizację zadań z zakresu elektrotechniki i energoelektroniki, w tym m.in. opracowanie koncepcji metody sterowania trójfazowym energoelektronicznym przekształtnikiem matrycowym z wektorową modulacją sygnałów sterujących.

Podsumowując należy podkreślić, że realizowane przez wnioskodawcę zadania badawcze koncentrują się na:

- projektowaniu, modelowaniu i analizie systemów cyber-fizycznych,
- opracowaniu oraz realizacji rekonfigurowalnych modeli systemów realizowanych w układach FPGA,
- opracowaniu oraz realizacji metod i algorytmów zorientowanych na dynamiczną oraz statyczną rekonfigurację systemu w układach FPGA,
- opracowaniu oraz realizacji metod projektowania systemów w oparciu o podejście MDD oraz język UML,
- programowo-sprzętowej realizacji części sterującej systemu CPS,
- opracowaniu technik zorientowanych bezpieczeństwo rekonfiguracji systemów CPS.

Wyżej wymienione aktywności naukowe **jednoznacznie wpisują się w kluczowe obszary naukowe** dyscypliny *informatyka techniczna i telekomunikacja*, w szczególności:

- w obszarze **architektur i systemów komputerowych** prowadzone badania wpisują się w obszary:
  - projektowania i analizy architektur rekonfigurowalnych,
  - systemów realizowanych w reprogramowalnych układach FPGA,
  - systemów wbudowanych i cyber-fizycznych,
  - współprojektowania sprzętu i oprogramowania (ang. *hardware-software co-design*),
- w obszarze **metod i narzędzi projektowania** realizowane badania lokują się obszarach:
  - inżynierii systemów informatycznych,
  - oprogramowania systemowego i narzędziowego,
  - metodologii projektowania systemów cyfrowych,
- w obszarze **systemów cyber-fizycznych i systemów wbudowanych** prowadzone badania wpisują się w obszary:
  - sprzętowej realizacji systemów wbudowanych i CPS,
  - projektowania architektury sterowania,
  - własności niefunkcjonalnych systemu (bezpieczeństwo, rekonfiguracja, zasoby).

Podsumowując powyżej opisany dorobek naukowy należy stwierdzić, że **głównym osiągnięciem naukowym** wnioskodawcy stanowiącym znaczny wkład w rozwój dyscypliny *informatyka techniczna i telekomunikacja* jest **autorska metoda modelowania części sterującej rekonfigurowalnych systemów cyber-fizycznych**. Metoda składa się z zestawu mniejszych technik (stanowiących jej poszczególne etapy), będące osiągnięciami naukowymi wnioskodawcy, stanowiącymi znaczny wkład w rozwój dyscypliny:

- **autorska metoda dekompozycji** modelu hierarchicznej i współbieżnej maszyny stanów UML na sieć powiązanych, współbieżnie działających automatów FSM (modularny model CFSM) [A1, A2, A8],
- **autorska metoda translacji** modelu CFSM na zestaw plików w języku opisu sprzętu (Verilog), z których każdy zawiera oddzielny moduł (komponent) systemu [A1, A2, A8].

Ponadto zdaniem wnioskodawcy osiągnięciami naukowymi stanowiącymi znaczny wkład w rozwój dyscypliny *informatyka techniczna i telekomunikacja* są także:

- **kompleksowy autorski algorytm** integrujący podejście MDD oraz architekturę MDA (ang. *Model-Driven Architecture*), opisujący kompletny proces modelowania rekonfigurowalnego systemu CPS zawierający następujące etapy: analiza wymagań zamawiającego, budowa modelu maszyny stanowej UML, dekompozycja modelu UML na model CFSM, translacja modelu CFSM na model kodu w języku Verilog, programowa walidacja modelu, synteza modelu, implementacja modelu w układzie FPGA pod kątem dynamicznej częściowej rekonfiguracji układu [A1, A2, A8].
- opracowane **autorskie narzędzie U$_2$V**, w którym zaimplementowane zostały wszystkie ww. techniki jak i cała autorska metoda [A8].

Co więcej opracowana autorska metoda (wraz ze wchodzącymi w jej skład technikami) została **zweryfikowana eksperymentalnie** w realizacji rzeczywistych rekonfigurowalnych systemów CPS (w tym współbieżnych systemów sterujących) [A1, A2, A8].

Warto także wspomnieć, że w obszarze badań dot. **zastosowania innych modeli** niż diagramy maszyn stanowych UML wnioskodawca osiągnął rezultaty stanowiące znaczny wkład w rozwój dyscypliny:

- opracowanie przez wnioskodawcę **ogólnego modelu algorytmu sterowania** trójfazowym energoelektrycznym przekształtnikiem matrycowym [A4] (także pod kątem realizacji w układzie typu „low-cost" [A5]),

- opracowanie ww. modelu algorytmu było podstawą do zaprojektowania **behawioralnego modelu** systemu w formie **diagramu czynności języka UML** [A5], na postawie którego powstała specyfikacja w języku opisu sprzętu wykorzystana do finalnej realizacji systemu CPS w układzie FPGA,
- opracowanie **modelu (w formie diagramu) sprzętowej realizacji systemu CPS** sterującego trójfazowym energoelektronicznym przekształtnikiem matrycowym [A6],
- opracowanie przez wnioskodawcę **modeli analityczno-matematycznych** [A3-A5], które następnie były bazą do opracowania (przez innych współautorów) sieci Petriego opisujących system CPS sterujący trójfazowym przekształtnikiem matrycowym, a także jego późniejszej efektywnej realizacji (dzięki zrównolegleniu wybranych etapów) w układach FPGA.

Warto dodać, że efekty prowadzonych przez wnioskodawcę **badań dotyczących dualnej specyfikacji** systemów CPS (sieci Petriego w połączeniu z diagramami stanów, np. z języka UML) również stanowią znaczny wkład w rozwój dyscypliny. Takie podejście dzięki wykorzystaniu zalet obu z tych notacji (np. bogaty zestaw metod analizy sieci Petriego, czy efektywna dekompozycja modelu maszyny stanów) [B18] znajduje zastosowanie m.in. w projektowaniu systemów o podwyższonym poziomie bezpieczeństwa (ang. *safety-critical systems*) [B6].

4.5. Inne zadania badawcze podejmowane po doktoracie

Dzięki zrealizowanemu stażowi naukowemu na Uniwersytecie Kalifornijskim w Berkeley (USA) w roku 2022 oraz wizycie badawczej w 2024 roku, a także nawiązanej dzięki nim współpracy naukowej z prof. Edwardem A. Lee (UC, USA) podejmowane przez wnioskodawcę zadania naukowo-badawcze zostały rozszerzone na współbieżne systemy rozproszone (ang. *concurrent distributed systems*) modelowane za pomocą języka Lingua Franca (LF) [C15]. Język ten posiada bardzo dobrze opracowaną semantykę dotyczącą zdarzeń czasowych, dzięki czemu możliwe jest projektowanie systemów cyber-fizycznych (zwłaszcza rozproszonych) z ograniczeniami czasowymi (ang. *time-sensitive*, *time-constraints*). Badania wnioskodawcy koncentrują się na realizacji rekonfigurowalnych systemów CPS (modelowanych w formie diagramów maszyn stanowych UML) w języku LF. Takie podejście ma kilka zalet – jedną z nich jest to, że finalna specyfikacja LF jest deterministyczna, nawet jeśli model wejściowy (maszyna stanów UML) deterministyczna nie jest. Ponadto możliwa jest dekompozycja maszyny stanów UML na niezależne moduły FSM implementowane jako rozproszone systemy (w LF są to tzw. *federates reactors*). Potwierdzeniem ważności tych badań (będących także w obszarze zainteresowań badawczych prof. Lee) jest wygłoszenie, na specjalne zaproszenie prof. Lee, dwóch godzinnych referatów pt. *Modelling of hierarchical and concurrent state machines in Lingua Franca* dnia 19 października 2022 (podczas stażu naukowego w Berkeley) oraz pt. *Modeling reconfigurable CPS using UML and Lingua Franca* dnia 2 kwietnia 2025 podczas zdalnego seminarium „Lingua Franca Research Meeting", a także referatu pt. *Modeling reconfigurable CPS using UML* [B20] wygłoszonego przez wnioskodawcę podczas naukowego seminarium „Tradeoffs in Reactive Systems Design" w Dagstuhl (Wadern, Niemcy) w lutym 2025.

Ponadto wnioskodawca od kilku lat prowadzi aktywne prace naukowe w obszarze cyberbezpieczeństwa, zwłaszcza pod kątem zastosowania technologii blockchain do realizacji bezpiecznych i zaufanych elektronicznych usług dotyczących przetwarzania i przechowywania wrażliwych danych. W obszar ten wpisuje się projekt pt. *Opracowanie oraz wdrożenie elektronicznej usługi w postaci nośnika trwałego umożliwiającej przetwarzanie oraz zarządzanie wrażliwymi dokumentami elektronicznymi* realizowany w latach 2020-2023 w ramach programu „Doktorat wdrożeniowy", w którym wnioskodawca pełnił rolę kierownika merytorycznego oraz promotora pomocniczego zrealizowanej w ramach projektu rozprawy doktorskiej. Owocem realizacji tego projektu są prace [B7], [B8], [B9]. Warto zaznaczyć, że w ramach prowadzonych w tym obszarze badań naukowych nawiązana została współpraca z wybitnym specjalistą technologii blockchain prof. Aniruddha Bhattacharjya z Tsinghua University w Beijing (Chiny). Wymiernym efektem tej międzynarodowej współpracy jest m.in. opracowanie zaufanej i bezpiecznej architektury Internetu Urządzeń Medycznych (ang. *Internet of Medical Things*, IoMT) opartej na sieci blockchain [B7], a także badania nad wykorzystaniem zaufanej trzeciej strony (ang. *trusted third party*) w e-usłudze nośnika trwałego [B9]. Prowadzone prace badawcze w tym obszarze uzupełniają liczne kursy i szkolenia, w których wnioskodawca brał udział, a także realizacja zajęć dydaktycznych z przedmiotów dotyczących cyberbezpieczeństwa prowadzonych na kierunkach Informatyka, Biznes elektroniczny oraz Cyberbezpieczeństwo (studia podyplomowe).

5. Informacja o wykazywaniu się istotną aktywnością naukową realizowaną w więcej niż jednej uczelni, instytucji naukowej, w szczególności zagranicznej

Uniwersytet Zielonogórski jest od ponad 13 lat podstawowym miejscem zatrudnienia wnioskodawcy, dlatego też badania dotyczące wykorzystania diagramów stanów (w tym diagramów maszyn stanowych z języka UML) do modelowania zarówno systemów współbieżnych jak i części sterującej systemów cyber-fizycznych były w większości realizowane w uczelni macierzystej wnioskodawcy. Większość prac powstała właśnie w ramach aktywności naukowej realizowanej w tym uniwersytecie, w szczególności prace [A1-A7] wykazane w niniejszym wniosku jako osiągnięcie naukowe. Natomiast praca [A8] jest pokłosiem aktywności naukowej wnioskodawcy realizowanej podczas stażu naukowego w Uniwersytecie Kalifornijskim w Berkeley (USA), z kolei dwie prace konferencyjne [B18], [B17] są wynikiem aktywności naukowej w Uniwersytecie NOVA w Lizbonie (Portugalia).

Poniżej zaprezentowano wybrane, najważniejsze aktywności naukowe wnioskodawcy realizowane w uczelniach zagranicznych w latach 2010-2025, a więc po uzyskaniu stopnia doktora.

5.1. Aktywność naukowa realizowana w Uniwersytecie Kalifornijskim (University of California, Berkeley, USA)

W październiku 2022 roku wnioskodawca odbył trzytygodniowy staż naukowy w Uniwersytecie Kalifornijskim w Berkeley u prof. Edwarda A. Lee – wybitnego specjalisty z zakresu projektowania, modelowania i analizy systemów cyber-fizycznych. Pobyt na tej prestiżowej uczelni w Stanach Zjednoczonych pozwolił nie tylko zweryfikować naukową tezę dotyczącą możliwości modelowania części sterującej systemu cyber-fizycznego opisanej diagramem maszyn stanowych języka UML, ale także zaowocował nowymi relacjami naukowymi zarówno z prof. Lee oraz jego międzynarodowym zespołem badawczym. Staż naukowy zrealizowano w ramach projektu „Miniatura 5" pt. *Modelowanie części sterującej systemu cyber-fizycznego opisanej diagramem maszyn stanowych języka UML – staż naukowy w Uniwersytecie Kalifornijskim w Berkeley* (w którym wnioskodawca pełnił rolę kierownika) sfinansowanego ze środków Narodowego Centrum Nauki. Efektem realizacji stażu naukowego była także samodzielna publikacja wnioskodawcy [A8] posiadająca afiliację tego grantu i zawierająca opis ulepszonej (dzięki licznym dyskusjom, spotkaniom i prezentacjom zrealizowanym przez wnioskodawcę podczas pobytu w Berkeley) metody modelowania rekonfigurowalnych systemów CPS z wykorzystaniem języka UML.

Pokłosiem stażu naukowego w Berkeley są cotygodniowe, organizowane w Uniwersytecie Kalifornijskim, zdalne seminaria zespołu badawczego (w skład zespołu wchodzą badacze m.in. z USA, Norwegii, Korei, Chin, Niemiec, Włoch, Tunezji, Indii, Austrii) skupionego wokół prof. Lee oraz projektu „Lingua Franca" [C15] opracowanego i rozwijanego w Uniwersytecie Kalifornijskim w Berkeley, w których wnioskodawca regularnie bierze udział (takich seminariów z udziałem wnioskodawcy do dnia złożenia wniosku odbyło się już ponad 100). Forma zdalna tych naukowych spotkań wynika przede wszystkim z możliwości uczestnictwa w nich innych członków zespołu, którzy na co dzień przebywają w swoich uczelniach w Europie czy Azji. Podczas tych seminariów wnioskodawca wygłosił dwukrotnie godzinne referaty naukowe, na specjalne zaproszenie prof. Lee.

W kwietniu 2024 roku wnioskodawca odbył kolejną wizytę badawczą na Uniwersytecie Kalifornijskim w Berkeley. Wizyta ta zaowocowała kolejnymi wspólnymi badaniami z prof. Lee dotyczącymi wykorzystania języka Lingua Franca do realizacji rekonfigurowalnego systemu cyber-fizycznego. Wyniki tych badań zostały zaprezentowane podczas referatu pt. *Modeling reconfigurable CPS using UML* [B20] wygłoszonego przez wnioskodawcę podczas naukowego seminarium „Tradeoffs in Reactive Systems Design" w Dagstuhl (Wadern, Niemcy) w lutym 2025. Warto wspomnieć, że seminarium miało charakter zamknięty, a udział w nim możliwy był tylko poprzez imienne zaproszenie. Wśród uczestników seminarium było liczne grono zespołu badawczego prof. Lee, co zaowocowało kolejnymi naukowymi dyskusjami wnioskodawcy nie tylko z prof. Lee, ale i innymi naukowcami z Uniwersytetu Kalifornijskiego (USA), Uniwersytetu w Kiel (Niemcy), Arizona State University (USA), Mälardalen University (Szwecja) i innych ośrodków naukowych na świecie. W *Załączniku nr 7* znajduje się m.in. potwierdzenie odbycia stażu naukowego w Berkeley w roku 2022 oraz wizyty badawczej w roku 2024, a także imienne zaproszenie na seminarium naukowe w Dagstuhl.

5.2. Aktywność naukowa realizowana na Uniwersytecie NOVA w Lizbonie (Universidade NOVA de Lisboa, Portugalia)

Współpraca z Uniwersytetem NOVA w Lizbonie rozpoczęła się w roku 2016, kiedy wnioskodawca po raz pierwszy wyjechał na kilkudniowy pobyt dydaktyczny do ww. uniwersytetu w ramach programu Erasmus+. Oprócz zrealizowania celów dydaktycznych dot. tego wyjazdu wnioskodawca nawiązał współpracę naukową ze specjalistami z zakresu modelowania i analizy systemów współbieżnych, osadzonych, cyber-fizycznych oraz układów reprogramowalnych FPGA – prof. Luis Gomes oraz prof. Aniko Costa. Do dnia złożenia wniosku, wnioskodawca sześciokrotnie przebywał na Uniwersytecie NOVA w Lizbonie w ramach wyjazdów Erasmus+. Podczas tych wyjazdów, oprócz zadań wynikających z realizacji założeń programu Erasmus+, realizowano także spotkania seminaryjne z prof. Gomes oraz prof. Costa.

Podczas pobytów na Uniwersytecie NOVA w Lizbonie wnioskodawca prowadził prace naukowe dotyczące m.in. wykorzystania zarówno sieci Petriego jak i diagramów maszyn stanowych języka UML do efektywnego opisu i analizy behawioralnego algorytmu sterowania systemów współbieżnych oraz części sterującej systemów CPS. To właśnie m.in. na uniwersytecie w Portugalii powstały koncepcje opisane szczegółowo w drugim obszarze badawczym „Modelowanie i weryfikacja części sterującej systemów CPS z wykorzystaniem sieci Petriego", których owocem były wspólne publikacje [B18] oraz [B17]. Drugi wątek badawczy podejmowany wspólnie ze specjalistami z Portugalii dotyczył możliwości efektywnej implementacji systemów współbieżnych w strukturach reprogramowalnych FPGA, czego efektem jest wspólna praca [A1] opublikowana w prestiżowym czasopiśmie *IEEE Transactions on Industrial Informatics*. Wymiernym efektem wspólnie prowadzonych prac międzynarodowych są nie tylko publikacje naukowe, ale też wspólnie realizowane inne aktywności naukowe jak np. organizacja i zarządzanie sekcją specjalną pt. *Cyber–Physical System and Edge Computing: Current Applications and Future Trends* w czasopiśmie naukowym *Applied Sciences*. Aktywność naukowa na Uniwersytecie NOVA w Lizbonie jest aktywnie realizowana przez wnioskodawcę, czego przejawem są coroczne wyjazdy do Uniwersytetu NOVA w Lizbonie w latach 2016, 2019 oraz 2022-2025. Warto dodać, że jest już zaplanowany kolejny pobyt w Lizbonie w latach 2026 oraz 2027 w ramach programu Erasmus+, a także kolejne wspólne aktywności naukowe. Potwierdzenie realizacji aktywności naukowej wnioskodawcy na Uniwersytecie NOVA w Lizbonie znajduje się w *Załączniku nr 7*.

5.3. Pozostałe międzynarodowe aktywności naukowe wnioskodawcy

Oprócz wyżej wymienionych aktywności naukowych (Uniwersytet Kalifornijski w Berkeley oraz Uniwersytet NOVA w Lizbonie), wnioskodawca również aktywnie angażuje się we współpracę naukową z Uniwersytetem w Walencji (Universitat de Valencia, Hiszpania), gdzie prowadzi badania z prof. Alfredo Rosado Munoz – specjalistą dot. modelowania i implementacji systemów osadzonych zwłaszcza w strukturach rekonfigurowalnych, a także dualnej specyfikacji (sieci Petriego oraz diagramy stanów) systemów z podwyższonym poziomem bezpieczeństwa (ang. *safety-critical systems*). Owocem tej współpracy są wspólne publikacje [B5], [B6], [B11].

Kolejnym przykładem współpracy naukowej wnioskodawcy są wspólne badania prowadzone z Uniwersytetem Tsinghua (Tsinghua University, Beijing, Chiny) w osobie prof. Aniruddha Bhattacharjya – specjalisty z technologii blockchain i jej zastosowań w przemyśle. Podejmowane działania badawcze dotyczą głównie obszaru cyberbezpieczeństwa, a konkretniej implementacji sieci blockchain w Internecie Urządzeń Medycznych (IoMT) oraz projektowania bezpiecznych i zaufanych elektronicznych usług z wykorzystaniem zaufanej trzeciej strony (ang. *trusted third party*). Wymiernym efektem tej współpracy są publikacje naukowe [B7], [B8] oraz [B9].

Ostatnim wymienionym obszarem międzynarodowej współpracy są wspólne badania naukowe prowadzone z wybitnym naukowcem o światowej renomie – prof. MengChu Zhou z Instytutu Technologicznego w New Jersey (New Jersey Institute of Technology, USA). Prace badawcze w ramach tej współpracy koncentrują się na bezpieczeństwie systemów cyber-fizycznych, głównie w obszarze prewencji przed atakami zagłuszającymi (ang. *jamming attacks*), czego owocem są wspólne publikacje [B10] oraz [B19].

6. Informacja o osiągnięciach dydaktycznych, organizacyjnych oraz popularyzujących naukę

6.1. Działalność dydaktyczna

6.1.1. Opieka naukowa nad studentami

Wnioskodawca jest **promotorem pomocniczym dwóch prac doktorskich** realizowanych na Wydziale Nauk Inżynieryjno-Technicznych Uniwersytetu Zielonogórskiego:

- praca doktorska mgr inż. Mateusza Popławskiego pt. *Analiza żywotności części sterującej systemu cyber-fizycznego specyfikowanej z zastosowaniem sieci Petriego*,
- praca doktorska mgr inż. Kamila Kozdrója pt. *Opracowanie oraz wdrożenie elektronicznej usługi w postaci nośnika trwałego umożliwiającej przetwarzanie oraz zarządzanie wrażliwymi dokumentami elektronicznymi* (doktorat wdrożeniowy).

Obie ww. prace doktorskie są już w fazie recenzji, a ich promotorem głównym jest prof. dr hab. inż. Remigiusz Wiśniewski.

Wnioskodawca w latach 2019-2025 był **promotorem obronionych 18 prac magisterskich oraz 31 prac inżynierskich** realizowanych na Wydziale Nauk Inżynieryjno-Technicznych (wcześniejsze nazwy: Wydział Elektrotechniki, Informatyki i Telekomunikacji; Wydział Informatyki, Elektrotechniki i Automatyki), Uniwersytetu Zielonogórskiego na kierunkach Informatyka, Automatyka i Robotyka oraz Biznes Elektroniczny.

Warto zaznaczyć, że kilka prac dyplomowych, których wnioskodawca był promotorem zostało wyróżnionych, w tym między innymi (kolejność chronologiczna):

- praca inżynierska inż. Aleksandra Wostala pt. *Integracja mikropłatności w telewizorach smart TV* – nagroda Prezydenta Miasta Zielona Góra (2016),
- praca inżynierska inż. Mateusza Popławskiego pt. *System inteligentnego domu oparty o sieć Wi-Fi* – nagroda Dziekana Wydziału Informatyki, Elektrotechniki i Automatyki (2019),
- praca inżynierska inż. Huberta Wawrzkiewicza pt. *System sterowania klimatyzacją pojazdu oparty na platformie Arduino* – nagroda Dziekana Wydziału Informatyki, Elektrotechniki i Automatyki (2022),
- praca magisterska mgra inż. Marka Tomczaka pt. *Analiza sposobów przechowywania danych aplikacji w urządzeniach mobilnych* – nagroda Polskiego Towarzystwa Informatycznego, Koło Zielonogórskie (2022),
- praca inżynierska inż. Michała Łysaka pt. *Bezpieczny komunikator internetowy oparty o sprzętowy moduł bezpieczeństwa* – nagroda Dziekana Wydziału Informatyki, Elektrotechniki i Automatyki (2023),
- praca magisterska mgra inż. Szymona Pacholskiego pt. *Wykorzystanie nowoczesnych technologii informatycznych do usprawnienia komunikacji z osobami z autyzmem* – nagroda Dziekana Wydziału Nauk Inżynieryjno-Technicznych (2025).

Ponadto w latach 2019-2025 wnioskodawca opracował (nie licząc prac, w których pełnił rolę promotora) **7 recenzji prac magisterskich oraz 40 recenzji prac inżynierskich** na kierunkach Informatyka, Automatyka i Robotyka oraz Biznes Elektroniczny.

6.1.2. Opracowanie sylabusów przedmiotów

Wnioskodawca jest także autorem lub współautorem programów następujących przedmiotów, które prowadził w ramach zajęć dydaktycznych (niektóre także w języku angielskim dla studentów programu Erasmus+):

- Modelowanie i implementacja systemów cyber-fizycznych,
- Projektowanie zintegrowanych systemów cyber-fizycznych,
- Sterowanie procesami dyskretnymi,
- Języki skryptowe,
- Techniki modelowania programów,

- Podstawy informatyki I,
- Bezpieczeństwo elektroniczne,
- Bezpieczeństwo danych i elementy kryptografii,

realizowanych na Uniwersytecie Zielonogórskim na kierunkach Informatyka, Automatyka i Robotyka oraz Biznes Elektroniczny.

Ponadto wnioskodawca był członkiem wydziałowego zespołu odpowiedzialnego za opracowanie nowego planu studiów I stopnia (w tym nowych specjalności) na kierunku Informatyka. Prace zespołu trwały w latach 2023-2024, a nowy program studiów został wprowadzony w roku akademickim 2024-2025. Obecnie wnioskodawca jest członkiem zespołu opracowującego nową specjalność „Cyberbezpieczeństwo" na studiach II stopnia na kierunku Informatyka.

6.2. Działalność organizacyjna

6.2.1. Członkostwo w uczelnianych zespołach

Wnioskodawca chętnie angażuje się w prace różnych uczelnianych zespołów. Poniżej wymieniono wybrane aktywności organizacyjne wnioskodawcy (w kolejności chronologicznej):

- członek wydziałowego Zespołu ds. Plagiatów w latach 2014-2016,
- członek komitetu organizacyjnego XI Konferencji Naukowej „Informatyka – Sztuka czy Rzemiosło", KNWS'14, która odbyła się w Karpaczu w dniach 9-12 czerwca 2014 roku,
- członek zespołu przygotowującego Raport samooceny kierunku Informatyka (I i II stopień) na potrzeby oceny kierunku przez Polską Komisję Akredytacyjną w 2019 roku,
- instytutowy koordynator Dnia Otwartego Wydziału Informatyki, Elektrotechniki i Automatyki w lutym 2020 roku,
- sporządzanie protokołów z seminariów i posiedzeń Rady Dyscypliny Informatyka Techniczna i Telekomunikacja w okresie od października 2019 do stycznia 2021 roku,
- opiekun Kół Naukowych: „fantASIC" (lata 2013-2016) oraz „SMART" (od 2016 roku do dnia dzisiejszego), aktywnie włączających się w promocję nauki w województwie lubuskim.

6.2.2. Działalność popularyzująca naukę

Wnioskodawca aktywnie włącza się także w szereg działań promujących i popularyzujących naukę oraz Uniwersytet Zielonogórski i Wydział Nauk Inżynieryjno-Technicznych. Poniżej wymieniono wybrane wydarzenia promujące działalność naukowo-badawczą, w których wnioskodawca brał aktywny udział organizując i/lub prowadząc pokazy lub wykłady popularnonaukowe:

- „GIS Academic Day" współorganizacja z firmą Apator Rector sp. z o.o. z Zielonej Góry (kwiecień 2014),
- „Festiwal Nauki" (czerwiec 2014, czerwiec 2017),
- „Dzień Otwarty Wydziału Nauk Inżynieryjno-Technicznych" – dawniej Wydziału Informatyki, Elektrotechniki i Automatyki (rokrocznie w latach 2017-2025),
- „Dzień Otwarty Elektronika" organizowany przez Centrum Kształcenia Zawodowego i Ustawicznego nr 2 Elektronik w Zielonej Górze (kwiecień 2022),
- „Orientation week" pokazy w języku angielskim dla studentów zagranicznych programu Erasmus+ (marzec i październik 2023, październik 2025),
- „Dzień Otwarty Uniwersytetu Zielonogórskiego" (marzec i październik 2024, październik 2025),
- „Lubuski Festiwal Nauki" (maj 2025).

Warto także nadmienić, że w kwietniu 2014 roku wnioskodawca otrzymał powołanie do Komisji Regionalnej II etapu Ogólnopolskiego Konkursu Informatycznego „T.I.K? – TAK!" z ramienia Polskiego Towarzystwa Informatycznego.

Ponadto wnioskodawca sześć razy wyjeżdżał do Portugalii, aby tam prowadzić wykłady dla studentów Uniwersytetu NOVA w Lizbonie w ramach programu Erasmus+. Tematyka wykładów dotyczyła głównie projektowania systemów cyfrowych z wykorzystaniem diagramów maszyn stanowych UML implementowanych w strukturach reprogramowalnych (lata 2016, 2019), a w latach późniejszych prowadzone zajęcia koncentrowały się na systemach cyber-fizycznych, a zwłaszcza modelowaniu części sterującej tych systemów z wykorzystaniem języków graficznych opartych o pojęcie stanu (lata 2022-2025).

6.3. Nagrody

Wnioskodawca otrzymał następujące nagrody naukowe Rektora Uniwersytetu Zielonogórskiego:

- Nagroda indywidualna II stopnia za osiągnięcia naukowe (2014);
- Nagroda zespołowa I stopnia za osiągnięcia naukowe (2017);
- Nagroda indywidualna II stopnia za osiągnięcia naukowe (2023).

Pozostałe wyróżnienia:

- Brązowy Krzyż Zasługi za zasługi w działalności na rzecz rozwoju oświaty (Postanowienie Prezydenta Rzeczypospolitej Polskiej z dnia 12.09.2022).

Literatura

Umieszczone w niniejszym dokumencie odwołania do literatury oznaczone literą A oznaczają prace wnioskodawcy wskazane jako osiągnięcie naukowe (wymienione w rozdziale 4.2), a odwołania oznaczone literą B dotyczą pozostałych prac wnioskodawcy, których szczegółowy wykaz został umieszczony w *Załączniku 4* (w rozdziale 1.3). Literą C oznaczono odwołania do innych prac niebędących autorstwa wnioskodawcy. Dla ułatwienia korzystania z odwołań, zebrano w tym rozdziale wszystkie prace cytowane przez wnioskodawcę (również z grup A i B).

[A1] R. Wiśniewski, G. Bazydło, L. Gomes, A. Costa, *Dynamic Partial Reconfiguration of Concurrent Control Systems Implemented in FPGA Devices*, 2017, IEEE Transactions on Industrial Informatics, Vol. 13, Iss. 4, pp. 1734–1741, DOI: 10.1109/TII.2017.2702564.

[A2] G. Bazydło, S. Wermiński, *Demand Side Management through Home Area Network systems*, 2018, International Journal of Electrical Power and Energy Systems, Vol. 97, pp. 174–185, DOI: 10.1016/j.ijepes.2017.10.026.

[A3] R. Wiśniewski, G. Bazydło, P. Szcześniak, M. Wojnakowski, *Petri net-based specification of cyber-physical systems oriented to control direct matrix converters with space vector modulation*, 2019, IEEE Access, Vol. 7, pp. 23407–23420, DOI: 10.1109/ACCESS.2019.2899316.

[A4] R. Wiśniewski, G. Bazydło, P. Szcześniak, *Low-Cost FPGA Hardware Implementation of Matrix Converter Switch Control*, 2019, IEEE Transactions on Circuits and Systems – II: Express Briefs, Vol. 66, Iss. 7, pp. 1177–1181, DOI: 10.1109/TCSII.2018.2875589.

[A5] R. Wiśniewski, G. Bazydło, P. Szcześniak, *SVM Algorithm Oriented for Implementation in a Low-Cost Xilinx FPGA*, 2019, Integration – the VLSI Journal, Vol. 64, pp. 163–172, DOI: 10.1016/j.vlsi.2018.10.002.

[A6] R. Wiśniewski, G. Bazydło, P. Szcześniak, I. Grobelna, M. Wojnakowski, *Design and Verification of Cyber-Physical Systems Specified by Petri Nets – A Case Study of a Direct Matrix Converter*, 2019, Mathematics, Vol. 7, pp. 1–24, DOI: 10.3390/math7090812.

[A7] M. Wojnakowski, R. Wiśniewski, G. Bazydło, M. Popławski, *Analysis of Safeness in a Petri Net-Based Specification of the Control Part of Cyber-Physical Systems*, 2021, International Journal of Applied Mathematics and Computer Science, Vol. 31, No. 4, pp. 647–657, DOI: 10.34768/amcs-2021-0045.

[A8] G. Bazydło, *Designing Reconfigurable Cyber-Physical Systems Using Unified Modeling Language*, 2023, Energies, Vol. 16, Iss. 3, Art. 1275, pp. 1–21, DOI: 10.3390/en16031273.

[B1] G. Bazydło, *Graphic specification of programs for reconfigurable logic controllers using Unified Modeling Language*, 2012, Zielona Góra: University of Zielona Góra Press (Lecture Notes in Control and Computer Science), pp. 117, ISBN: 9788374814706.

[B2] G. Bazydło, *Using UML structure diagrams for graphical specification of programs for logic controllers*, 2014, New trends in digital systems design, 2014, eds. A. Bukowiec, G. Borowik, M. Doligalski, Düsseldorf: VDI Verlag GmbH (Fortschritt - Berichte VDI, Nr. 836), pp. 68–80.

[B4] G. Bazydło, M. Adamski, *Using UML behavior diagrams for graphical specification of programs for logic controllers*, 2016, Design of reconfigurable logic controllers, 2016, eds. A. Karatkevich, A. Bukowiec, M. Doligalski, J. Tkacz, Cham Heidelberg: Springer International Publishing Switzerland (Studies in Systems, Decision and Control, 45), pp. 131–142, DOI: 10.1007/978-3-319-26725-8_10.

[B5] G. Bazydło, M. Adamski, M. Węgrzyn, A. Rosado-Munoz, *From UML specification into FPGA implementation*, 2014, Advances in Electrical and Electronic Engineering, Vol. 12, No. 5, pp. 452–458, DOI: 10.15598/aeee.v12i5.1147.

[B6] G. Łabiak, M. Węgrzyn, A. Rosado-Munoz, G. Bazydło, *Dual-model approach for safety-critical embedded systems*, 2020, Microprocessors and Microsystems, Vol. 72, pp. 1–11, DOI: 10.1016/j.micpro.2019.102924.

[B7] A. Bhattacharjya, K. Kozdrój, G. Bazydło, R. Wiśniewski, *Trusted and Secure Blockchain-Based Architecture for Internet-of-Medical-Things*, 2022, Electronics, Vol. 11, Iss. 16, Art. 2560, pp. 1–19, DOI: 10.3390/electronics11162560.

[B8] G. Bazydło, R. Wiśniewski, K. Kozdrój, *Trusted and Secure Blockchain-Based Durable Medium Electronic Service*, 2022, Cryptography, Vol. 6, Iss. 1, pp. 1–12, DOI: 10.3390/cryptography6010010.

[B9] G. Bazydło, K. Kozdrój, R. Wiśniewski, A. Bhattacharjya, *Trusted Third Party Application in Durable Medium e-Service*, 2024, Applied Sciences, Vol. 14, Iss. 1, pp. 1–22, DOI: 10.3390/app14010191.

[B10] W. Duo, S. Wang, M. Zhou, D. You, R. Wiśniewski, G. Bazydło, A. Albeshri, *Supremal and Robust Control against Actuator Jamming Attacks in Cyber-Physical Systems*, 2024, IEEE Transactions on Intelligent Vehicles, Vol. 9, Iss. 9, pp. 5435–5447, DOI: 10.1109/TIV.2023.3339668.

[B11] G. Bazydło, M. Adamski, M. Węgrzyn, A. Rosado-Munoz, *From UML state machine diagram into FPGA implementation*, 12th IFAC Conference on Programmable Devices and Embedded Systems – PdeS 2013, Velké Karlovice, Czechy, 2013, pp. 298–303, DOI: 10.3182/20130925-3-CZ-3023.00061.

[B17] R. Wiśniewski, G. Bazydło, L. Gomes, A. Costa, M. Wojnakowski, *Analysis and Design Automation of Cyber-Physical System with Hippo and IOPT-Tools*, 2019, 45th Annual Conference of the IEEE Industrial Electronics Society – IECON 2019, Lisbon, Portugalia, New York: IEEE Xplore, 2019, pp. 5843–5848, DOI: 10.1109/IECON.2019.8926692.

[B18] G. Bazydło, A. Costa, L. Gomes, *Integrating different modelling formalisms supporting co-design development of controllers for cyber-physical systems – A case study*, 2022, IEEE 9th International Conference on e-Learning in Industrial Electronics – ICELIE 2022, Bruksela, Belgia, New York: IEEE Xplore, 2022, pp. 1–6, DOI: 10.1109/ICELIE55228.2022.9969438.

[B19] W. Duo, S. Wang, M. Zhou, D. You, R. Wiśniewski, G. Bazydło, *Supervisory Control of Cyber-Physical Systems Subject to Actuator Jamming Attacks*, 2023, 20th IEEE International conference on Networking, Sensing and Control – ICNSC 2023, Marsylia, Francja, IEEE Xplore, 2023, pp. 1–6, DOI: 10.1109/ICNSC58704.2023.10318985.

[B20] G. Bazydło, *Modeling reconfigurable CPS using UML*, 2025, In J. Castrillón-Mazo, C. Jerad, E. A. Lee, C. Pagetti, S. J. Lin, Tradeoffs in Reactive Systems Design (Dagstuhl Seminar 25091), Dagstuhl Reports, Vol. 15, Iss. 2, pp. 126–157, Schloss Dagstuhl – Leibniz-Zentrum für Informatik, 2025, DOI: 10.4230/DagRep.15.2.126.

[C1] E.A. Lee, S.A., Seshia, *Introduction to Embedded Systems: A Cyber-Physical Systems Approach, second edition*, The MIT Press, Cambridge, Massachuetts, 2016.

[C2] Y. Guo, X. Hu, B. Hu, J. Cheng, M. Zhou, R.Y.K. Kwok, *Mobile Cyber Physical Systems: Current Challenges and Future Networking Applications*, IEEE Access, 2018, Vol. 6, pp. 12360–12368, DOI: 10.1109/ACCESS.2017.2782881.

[C3] Y. Zhang, M. Qiu, C.-W. Tsai, M.M. Hassan, A. Alamri, *Health-CPS: Healthcare Cyber-Physical System Assisted by Cloud and Big Data*, IEEE Systems Journal, 2017, Vol. 11, pp. 88–95, DOI: 10.1109/JSYST.2015.2460747.

[C4] G. Tricomi, M. Giacobbe, I. Ficili, N. Peditto, A. Puliafito. *Smart City as Cooperating Smart Areas: On the Way of Symbiotic Cyber–Physical Systems Environment*, Sensors, 2024, No. 10: 3108, DOI: 10.3390/s24103108.

[C5] M. Sirjani, E.A. Lee, E. Khamespanah, *Verification of Cyberphysical Systems*, Mathematics, Vol. 8(7), pp. 1068, 2020, DOI: 10.3390/math8071068.

[C6] P. Lysaght, B. Blodget, J. Mason, J. Young, B. Bridgford, *Invited Paper: Enhanced Architectures, Design Methodologies and CAD Tools for Dynamic Reconfiguration of Xilinx FPGAs*, In Proc. of International Conference on Field Programmable Logic and Applications (FPL'06), IEEE, 2006, pp. 1–6, 28–30, DOI: 10.1109/FPL.2006.311188.

[C7] M. Masin et al. *Cross-layer design of reconfigurable cyber-physical systems*, In Proc. of Design, Automation and Test in Europe Conference and Exhibition (DATE 2017), Lausanne, Switzerland, 2017, pp. 740–745, DOI: 10.23919/DATE.2017.7927088.

[C8] E.A. Lee, *Cyber physical systems: Design challenges*, In Proc. of 11th IEEE International Symposium on Object and Component-Oriented Real-Time Distributed Computing (ISORC 2008), IEEE, 2008. pp. 363–369, DOI: 10.1109/ISORC.2008.25.

[C9] K.S. Patnaik, I. Snigdh, *Architectural Modelling of Cyber Physical Systems Using UML*, International Journal of Cyber-Physical Systems, 2019, Vol. 1, No. 2, pp. 19–37, DOI: 10.4018/IJCPS.2019070102.

[C10] M. A. Mohamed, G. Kardas, M. Challenger, *Model-driven engineering tools and languages for cyber-physical systems–a systematic literature review*, IEEE Access, 2021, Vol. 9, pp. 48605–48630, DOI: 10.1109/ACCESS.2021.3068358

[C11] G. Martin, *UML for embedded systems specification and design: motivation and overview*, In Proc. of Design, Automation and Test in Europe Conference and Exhibition (DATE 2002), Paris, France, 2002, pp. 773–775, DOI: 10.1109/DATE.2002.998386.

[C12] W. E. McUmber, B. H. C. Cheng, *A general framework for formalizing UML with formal languages,* Proceedings of the 23rd International Conference on Software Engineering – ICSE 2001, Toronto, ON, Canada, 2001, pp. 433–442, DOI: 10.1109/ICSE.2001.919116.

[C13] S.K. Wood, D.H. Akehurst, O. Uzenkov, W.G. Howells, K.D. McDonald-Maier, *A Model-Driven Development Approach to Mapping UML State Diagrams to Synthesizable VHDL*, IEEE Transactions on Computers, 2008, Vol. 57, No. 10, pp. 1357–1371, DOI: 10.1109/TC.2008.123.

[C14] Xilinx, *XST User Guide for Virtex-6, Spartan-6, and 7 Series Devices. UG687 (v 14.5)*, 2013, https://docs.amd.com/v/u/en-US/xst_v6s6 (dostęp: 23.12.2025).

[C15] M. Lohstroh, C. Menard, S. Bateni, E.A. Lee, *Toward a Lingua Franca for Deterministic Concurrent Systems*, ACM Transactions on Embedded Computing Systems, 2021, vol. 20, iss. 4, pp. 1–27, DOI: 10.1145/3448128.

Zielona Góra, 23 grudnia 2025